

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-84924  
(P2003-84924A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 3/12

識別記号

F I

G 0 6 F 3/12

テーマコード\*(参考)

A 5 B 0 2 1

審査請求 未請求 請求項の数9 O L (全 30 頁)

(21) 出願番号 特願2001-274066(P2001-274066)

(22) 出願日 平成13年9月10日(2001.9.10)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 片野 清

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 100076428

弁理士 大塚 康德 (外3名)

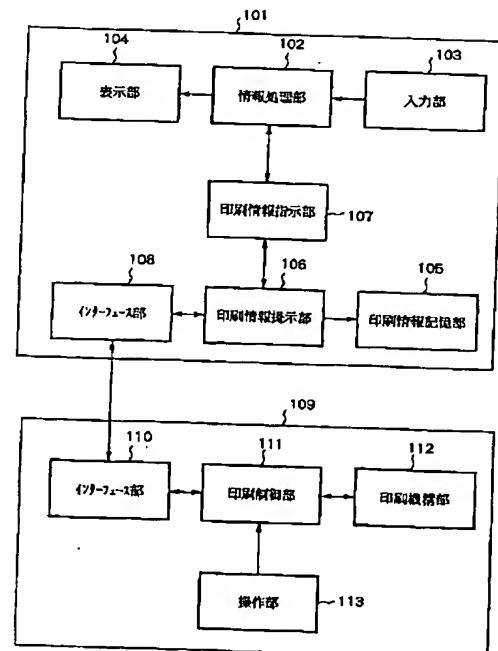
Fターム(参考) 5B021 AA01 BB02

(54) 【発明の名称】 情報処理システム及び情報処理装置及びその制御方法及び記憶媒体

(57) 【要約】

【課題】 主たる処理を行う情報処理装置において、印刷処理を負荷の少ない状態で実現することを可能にする。

【解決手段】 情報処理装置101には、印刷状態に応じて出力対象となる情報がどれになるかを示す情報を印刷情報記憶部105に記憶している。IEEE1394インターフェースで接続された、印刷装置109より所定の指示があると、情報処理装置101はそのときの状態に応じて出力すべき情報を印刷情報記憶部105より探し、それをIEEE1394のメモリマップに割り当て、印刷装置側からリードできるようにし、印刷を行わせる。



## 【特許請求の範囲】

【請求項1】 主たる所定の処理を行う情報処理装置と当該情報処理装置からのデータを受信して出力処理する出力装置とを汎用シリアルインターフェースで接続する情報処理システムであって、前記情報処理装置は、自身の内部状態と当該内部状態に応じて出力対象となる情報を記憶保持する記憶手段と、情報処理装置の状態に応じて、該記憶手段によって記憶されている出力対象情報をサーチするサーチ手段と、該サーチ手段でサーチされた情報を前記出力装置に対し、前記汎用シリアルインターフェースを介して出力する手段とを備え、前記出力手段は、前記汎用シリアルインターフェースを介して出力されてきた情報に基づいて印刷する印刷手段とを備えることを特徴とする情報処理システム。

【請求項2】 前記汎用シリアルインターフェースは、IEEE1394インターフェースであることを特徴とする請求項第1項に記載の情報処理システム。

【請求項3】 前記出力装置における印刷出力は、当該出力装置に設けられた操作部からの指示があったときに前記汎用インターフェースを介して前記情報処理装置にリードトランザクションを発行することで、行われることを特徴とする請求項第1項又は第2項に記載の情報処理システム。

【請求項4】 前記情報処理装置は、ビデオゲーム機であることを特徴とする請求項第1項乃至第3項のいずれか1項に記載の情報処理システム。

【請求項5】 所定の汎用シリアルインターフェースを介し、印刷装置と接続され、主たる所定の処理を行う情報処理装置であって、内部状態と当該内部状態に応じて出力対象となる情報を記憶保持する記憶手段と、情報処理装置の状態に応じて、該記憶手段によって記憶されている出力対象情報をサーチするサーチ手段と、該サーチ手段でサーチされた情報を前記印刷装置に対し、前記汎用シリアルインターフェースを介して出力する手段とを備えることを特徴とする情報処理装置。

【請求項6】 前記汎用シリアルインターフェースは、IEEE1394インターフェースであることを特徴とする請求項第5項に記載の情報処理装置。

【請求項7】 前記情報処理装置は、ビデオゲーム機であることを特徴とする請求項第5項又は第6項に記載の情報処理装置。

【請求項8】 所定の汎用シリアルインターフェースを介し、印刷装置と接続され、主たる所定の処理を行う情報処理装置の制御方法であって、内部状態と当該内部状態に応じて出力対象となる情報を記憶保持する記憶工程と、

情報処理装置の状態に応じて、該記憶工程によって記憶されている出力対象情報をサーチするサーチ工程と、該サーチ工程でサーチされた情報を前記印刷装置に対し、前記汎用シリアルインターフェースを介して出力する工程とを備えることを特徴とする情報処理装置の制御方法。

【請求項9】 所定の汎用シリアルインターフェースを介し、印刷装置と接続され、主たる所定の処理を行う情報処理装置として機能するプログラムを格納する記憶媒体であって、内部状態と当該内部状態に応じて出力対象となる情報を記憶保持する領域と、情報処理装置の状態に応じて、前記領域に記憶されている出力対象情報をサーチするサーチ工程のプログラムコードと、該サーチ工程でサーチされた情報を前記印刷装置に対し、前記汎用シリアルインターフェースを介して出力する工程のプログラムコードとを格納することを特徴とする記憶媒体。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は情報処理システム及び情報処理装置及びその制御方法及び記憶媒体に関するものである。

【0002】

【従来の技術】従来、情報処理装置において印刷を行う場合には、操作者は、印刷対象となる情報を指定して、印刷指示を行う。情報処理装置は、指定された情報を、プリンタドライバなどのソフトウェアにより、印刷装置が解釈できる情報に変換し、インターフェースを介して印刷装置に出力し印刷していた。

【0003】

【発明が解決しようとする課題】ビデオゲーム機のような用途が比較的限定されたアプリケーションのみを扱う情報処理装置においては、処理を行っているある時点の処理の状態とその状態での印刷対象を1対1に対応付けられる場合が多い。このような時、ゲーム機の操作パッドのような入力装置を使って印刷対象を指定する操作は非常に煩雑なものとなり、操作者の負担を大きくしている。また、印刷対象を印刷装置の解釈する情報に変換する処理の負荷は大きく、印刷中に、ゲームを続けようとする動作が遅くなるなどの不都合を生じた。

【0004】そこで本発明は、このような主たる処理を行う情報処理装置において、印刷処理を負荷の少ない状態で実現する情報処理システム及び情報処理装置及びその制御方法及び記憶媒体を提供しようとするものである。

【0005】

【課題を解決するための手段】この課題を解決するため、例えば本発明の情報処理システムは以下の構成を備

える。すなわち、主たる所定の処理を行う情報処理装置と当該情報処理装置からのデータを受信して出力処理する出力装置とを汎用シリアルインターフェースで接続する情報処理システムであって、前記情報処理装置は、自身の内部状態と当該内部状態に応じて出力対象となる情報を記憶保持する記憶手段と、情報処理装置の状態に応じて、該記憶手段によって記憶されている出力対象情報をサーチするサーチ手段と、該サーチ手段でサーチされた情報を前記出力装置に対し、前記汎用シリアルインターフェースを介して出力する手段とを備え、前記出力手段は、前記汎用シリアルインターフェースを介して出力されてきた情報に基づいて印刷する印刷手段とを備える。

【0006】

【発明の実施の形態】以下、添付図面に従って本発明に係る実施形態を詳細に説明する。

【0007】図1は、実施形態におけるシステム構成図である。図中、101は実施形態が適用する情報処理装置であり、情報処理部102、入力部103、表示部104、印刷情報記憶部105、印刷情報提示部106、印刷情報指示部107、インターフェース部108よりなる。また109は実施形態が適用する印刷装置であり、インターフェース部110、印刷制御部111、印刷機後部112、操作部113よりなる。

【0008】本実施形態では、情報処理装置101としてビデオゲーム機に適用した例について説明する。

【0009】図37乃至図38は本実施形態が摘要されるビデオゲーム機の構成例を表している。これらの図の示すように、ビデオゲーム機1（情報処理装置101に対応する）はゲーム機本体2と、ゲーム機本体2に対してケーブル27を介して接続されている操作装置17とにより、基本的に構成されている。ゲーム機本体2の前面部には、電動引き込み型のトレイ方式のディスク装着部3が設けられ、その内部にはCD-ROMやDVD-ROMや読み書き可能なメディア（不図示）が装着される様になっている。ディスク装着部3の右側上部には、装置の電源を“ON”または“OFF”するときには操作される電源スイッチ5が設けられている。また、ディスク装着部3の右側下部には、ディスク装着部3に対して各種メディアを着脱するときには操作されるディスク操作スイッチ6が設けられている。

【0010】ゲーム機本体2の正面には、接続部7Aと7Bが設けられている。これらの接続部7Aまたは7Bには、操作装置17に対してケーブル27を介して接続されている接続端子部26と、それぞれ接続する事が出来るようになされている。すなわち、このゲーム機本体2には、2台の操作装置17を接続する事が出来るようになされている。

【0011】主にメモリーカードなどよりなる記録装置が装着可能なスロットは、38Aと38Bの2つ設けら

れている。

【0012】USBポートは、4Aと4Bの2ポートが、ゲーム機本体2左下部に設けられている。また、400Mbit/secのデータ転送能力の有るIEEE1394port8がゲーム機本体2左下部の、USB4Aと4Bの右側に1ポート設けられている。この他に、不図示ではあるが、通信機能用の専用アダプタなどの接続も可能であるPC-card（PCMCIA Type III）スロットと光デジタル出力ポートが設けられている。

【0013】図38には、右側の接続部7Bに接続端子部26が接続され、左側の接続部7Aには接続端子部26が装着されていない状態が示されている。

【0014】操作装置17には、左右の手で把持される支持部20が左右に設けられ支持部20の先端には、操作部24が左右に設けられている。また、支持部20の上面には、操作部18が左右に設けられている。操作部24は左右の手の人差し指で操作され、操作部18は、左右の手の親指で、それぞれ操作される様になっている。

【0015】左右の操作部18の間には、ゲームの中においてセレクト操作を行う時に操作されるセレクトスイッチ（不図示）とゲームを開始する時に操作されるスタートスイッチ23が設けられている。

【0016】図39は、ゲーム機本体2の内部構造例を表している。MainCPUは、128ビットのMainBusを介して各種の処理を実行する様になっている。この128ビットのMainBusには、2本のベクトル演算エンジンとして、VPE0（Vector Processing Engine 0）とVPE1が接続され、IPU（Image Processing Unit）も接続している。

【0017】MainCPUのコアは2本の整数演算ユニット（Integer Unit）と浮動小数点演算ユニット（FPU：Floating Point Unit）と複数のキャッシュメモリなどから構成している。

【0018】VPE0は主にMainCPUのコプロセッサとして、VPE1がグラフィックスよりの各種計算を行う為に用いられ、例えば、MainCPUからの演算要求に対して、座標変換、光源計算、透視変換曲面の生成などの計算を行う。

【0019】IPUは主にMPEG-2のデコード（データ伸張）に用いられる演算エンジンである。デコード後にはデータが大幅に増大するので、データ転送時におけるMainBusの圧迫を防ぐ為に、データを瞬時に圧縮してVPE1に渡すような機構を構成している。イメージプロセッシングユニットでは、MPEG-2のデコード以外に色空間の変換やベクトル量子化も行う。

【0020】MainBusを介して転送された圧縮データは、VPE1にある瞬時解凍機構で解凍する。

【0021】MainBusにはMainCPUなどの

10

20

30

40

50

演算ユニットの他、RAM (Random Access Memory) からなるMain Memory、Main DMA (Direct Memory Access Controller)、及びレンダリングプロセッサとしてのGPU (Graphic Processing Unit) へのI/Fユニットが接続されている。

【0022】Main MemoryにはDirect RDRAM (RAMbus DRAM) を用いて、各種のプログラムやデータ等が適宜記憶される。

【0023】Main DMAは、Main Memory上のデータを、128ビットMain Busを介してGPU I/Fに渡す作業を行う。

【0024】GPU I/Fからデータを入力しビデオ出力するまでの間にグラフィックシンセサイザ機能が存在するが、構成はグラフィックの描画を担当するGPUやディスプレイ表示を担当するCRTC (CRT Controller) などから構成されている。

【0025】GPUは、PKE (Programmable Packet Engine) によるアンパケット処理と、プログラムに対応してデータを処理する演算部と、演算部から供給された描画命令を解釈し、頂点の色データと奥行きを表すZ値からポリゴン (三角形や四角形などの基本的な単位図形) を構成する全ての画素と色を考慮し、Frame Memoryに画素データを書込む処理 (レンダリング処理) を行う描画部から構成されている。

【0026】CRTCのディスプレイへの出力は、現在のテレビ方式であるNTSC (National Television Standards Committee) やPAL (Phase Alternation by Line) に加えてDTV (Digitalテレビ) に対応している。画面サイズは最大で1280\*1024ドットである。

【0027】Main Busより低速であり、Busが32ビットのSub Busは、Main BusとSub Bus I/Fを中継して接続されている。Sub Busには、さまざまな入出力インターフェースを制御するためのI/OプロセッサとしてのSub CPUが設けられている。Sub CPUの動作環境としてSub RAM、Sub ROM、Sub DMAが構成されていて、各種I/Oとのやり取りを行う。

【0028】次に、その基本的動作について説明する。

【0029】Sub CPUは、操作装置17の操作に対応して、DVD-ROMドライブを制御し、DVD-ROMを再生させ再生データをSub Memoryに記憶させる。これをSub Bus I/Fを介してMain MemoryへDMA転送する。Main CPUはMain Memoryのデータを読み出し、演算を行う。この結果に基づいてポリゴンの組み合わせとしてCRTに表示すべき3次元モデルを定義する。そして、3次元画像を描画するための各ポリゴンに対応する描画命令を作成し、この描画命令をコマンドパケットとしてGPUへ転送する。

【0030】GPUにおいては、描画命令をアンパケット化してローカルメモリに記憶する。GPUはこの描画命令を解釈し、ポリゴンの頂点から中間の頂点を補間生成するなどしてポリゴンを描画する命令を作成する。この描画命令に対応してポリゴンの頂点の色データと奥行きを表すZ値を考慮して、画素データをFrame Memoryに描画するレンダリング処理を実行する。

【0031】描画部はまた、Frame Memoryに描画された画素データを読み出して、CRTCを介してCRTに出力し表示させる。

【0032】本実施形態において、情報処理部102、印刷情報提示部106、印刷情報指示部107は、ビデオゲーム機本体のCPU及びメモリにより構成され、CD-ROMないしDVD-ROMに格納されたプログラムをメモリに読み込んで実行される。また、印刷情報記憶部105はビデオゲーム機本体のDVD-ROMドライブにより構成され、印刷装置が解釈できる印刷情報はCD-ROMないしDVD-ROMに格納される。

【0033】次に、本実施形態において外部インターフェースとして用いるIEEE1394について説明する。

【0034】<IEEE1394の技術の概要>以下、本実施形態のデジタルインターフェースに適用されるIEEE1394-1995規格の技術について簡単に説明する。尚、IEEE1394-1995規格 (以下、IEEE1394規格) についての詳細は、1996年の8月30日にIEEE (The Institute of Electrical and Electronics Engineers, Inc.) から出版された「IEEE Standard for a High Performance Serial Bus」に記述されている。

【0035】(1) 概要

図2にIEEE1394規格に準拠したデジタルインターフェース (以下、1394インターフェース) を具備するノードにより構成される通信システム (以下、1394ネットワーク) の一例を示す。1394ネットワークは、シリアルデータの通信可能なバス型ネットワークを構成するものである。

【0036】図2において、各ノードA~Hは、IEEE1394規格に準拠した通信ケーブルを介して接続されている。これらのノードA~Hは、例えば、PC (Personal Computer)、デジタルVTR (Video Tape Recorder)、DVD (Digital Video Disc) プレーヤ、デジタルカメラ、ハードディスク、モニタ等の電子機器である。

【0037】1394ネットワークの接続方式は、ディジーチェーン方式とノード分岐方式とに対応しており、自由度の高い接続を可能としている。

【0038】又、1394ネットワークでは、例えば、既存の機器を削除したり、新たな機器を追加したり、既存の機器の電源をON/OFFしたりした場合に、自動

的にバスリセットを行う。このバスリセットを行うことにより、1394ネットワークは、新たな接続構成の認識と各機器に対するID情報の割り当てとを自動的に行うことができる。この機能によって、1394ネットワークは、ネットワークの接続構成を常時認識することができる。又、1394ネットワークは、他の機器から転送されたデータを中継する機能を有している。この機能により、全ての機器がバスの動作状況を把握することができる。又、1394ネットワークは、Plug & Playと呼ばれる機能を有している。この機能により、全

ての機器の電源をOFFにすることなく、接続するだけで自動に接続機器を認識することができる。【0039】又、1394ネットワークは、100/200/400Mbpsのデータ転送速度に対応している。上位のデータ転送速度を持つ機器は、下位のデータ転送速度をサポートすることができるため、異なるデータ転送速度に対応する機器同士を接続することができる。更に、1394ネットワークは、2つの異なるデータ転送方式（即ち、Asynchronous転送モードとIsochronous転送モード）に対応している。

【0040】Asynchronous転送モードは、必要に応じて非同同期に転送することが要求されるデータ（即ち、コントロール信号やファイルデータ等）を転送する際に有効である。又、Isochronous転送モードは、所定量のデータを一定のデータレートで連続的に転送することが要求されるデータ（即ち、ビデオデータやオーディオデータ等）を転送する際に有効である。

【0041】Asynchronous転送モードとIsochronous転送モードとは、各通信サイクル（通常1サイクルは、125μs）内において、混在させることが可能である。各転送モードは、サイクルの開始を示すサイクル・スタート・パケット（以下、CSP）の転送後に実行される。尚、各通信サイクル期間において、Isochronous転送モードは、Asynchronous転送モードよりも優先順位が高く設定されている。又、Isochronous転送モードの転送帯域は、各通信サイクル内で保証されている。

## (2) アーキテクチャ

次に、図3を用いて1394インターフェースの構成要素を説明する。1394インターフェースは、機能的に複数のレイヤ（階層）から構成されている。図3において、1394インターフェースは、IEEE1394規格に準拠した通信ケーブル301を介して他のノードの1394インターフェースと接続される。又、1394インターフェースは、1つ以上の通信ポート302を有し、通信ポート302は、ハードウェア部に含まれるフィジカル・レイヤ303と接続される。

【0042】図3において、ハードウェア部は、フィジカル・レイヤ303とリンク・レイヤ304とから構成されている。フィジカル・レイヤ303は、他のノードとの物理的、電気的なインターフェース、バスリセット

の検出とそれに伴う処理、入出力信号の符号化／復号化、バス使用権の調停等を行う。又、リンク・レイヤ304は、通信パケットの生成と送受信、サイクルタイマの制御等を行う。

【0043】又、図3において、ファームウェア部は、トランザクション・レイヤ305とシリアル・バス・マネージメント306とを含んでいる。トランザクション・レイヤ305は、Asynchronous転送モードを管理し、各種のトランザクション（リード、ライト、ロック）を提供する。シリアル・バス・マネージメント306は、後述するCSRアーキテクチャに基づいて、自ノードの制御、自ノードの接続状態の管理、自ノードのID情報の管理、シリアルバスネットワークの資源管理を行う機能を提供する。

【0044】以上、ハードウェア部とファームウェア部とが実質的に1394インターフェースを構成するものであり、それらの基本構成は、IEEE1394規格により規定されている。又、ソフトウェア部に含まれるアプリケーション・レイヤ307は、使用するアプリケーションソフトによって異なり、ネットワーク上でどのようにデータを通信するのかを制御する。例えば、デジタルVTRの動画データの場合は、AV/Cプロトコルなどの通信プロトコルによって規定されている。

## 【0045】(2-1) リンク・レイヤ304

図4は、リンク・レイヤ304の提供可能なサービスを示す図である。図4において、リンク・レイヤ304は、次の4つのサービスを提供する。即ち、①応答ノードに対して所定のパケットの転送を要求するリンク要求（LK\_DATA.request）、②応答ノードに所定のパケットの受信を通知するリンク通知（LK\_DATA.indication）、③応答ノードからのアクノリッジを受信したことを示すリンク応答（LK\_DATA.response）、④要求ノードからのアクノリッジを確認するリンク確認（LK\_DATA.confirmation）である。尚、リンク応答（LK\_DATA.response）は、ブロードキャスト通信、Isochronousパケットの転送の場合には存在しない。

【0046】又、リンク・レイヤ304は、上述のサービスに基づいて、上述の2種類の転送方式、即ち、Asynchronous転送モード、Isochronous転送モードを実現する。

## 【0047】(2-2) トランザクション・レイヤ305

図5は、トランザクション・レイヤ305の提供可能なサービスを示す図である。図5において、トランザクション・レイヤ305は、次の4つのサービスを提供する。即ち、①応答ノードに対して所定のトランザクションを要求するトランザクション要求（TR\_DATA.request）、②応答ノードに所定のトランザクシ

ョン要求の受信を通知するトランザクション通知 (TR\_DATA.indication)、③応答ノードからの状態情報 (ライト、ロックの場合は、データを含む) を受信したことを示すトランザクション応答 (TR\_DATA.response)、④要求ノードからの状態情報を確認するトランザクション確認 (TR\_DATA.confirmation) である。

【0048】又、トランザクション・レイヤ305は、上述のサービスに基づいてAsynchronous転送を管理し、次の3種類のトランザクション、即ち、①リード・トランザクション、②ライト・トランザクション、③ロック・トランザクションを実現する。

①リード・トランザクションは、要求ノードが応答ノードの特定アドレスに格納された情報を読み取る。

②ライト・トランザクションは、要求ノードが応答ノードの特定アドレスに所定の情報を書き込む。

③ロック・トランザクションは、要求ノードが応答ノードに対して参照データと更新データとを転送し、応答ノードの特定アドレスの情報とその参照データとを比較し、その比較結果に応じて特定アドレスの情報を更新データに更新する。

【0049】(2-3) シリアル・バス・マネジメント306

シリアル・バス・マネジメント306は、具体的に、次の3つの機能を提供することができる。3つの機能とは、即ち、①ノード制御、②アイソクロナス・リソース・マネージャ (以下、IRM)、③バスマネージャである。

①ノード制御は、上述の各レイヤを管理し、他のノードとの間で実行されるAsynchronous転送を管理する機能を

提供する。  
②IRMは、他のノードとの間で実行されるIsochronous転送を管理する機能を提供する。具体的には、転送帯域幅とチャネル番号の割り当てに必要な情報を管理し、これらの情報を他のノードに対して提供する。IRMは、ローカルバス上に唯一存在し、バスリセット毎に他の候補者 (IRMの機能を有するノード) の中から動的に選出される。又、IRMは、後述のバスマネージャの提供可能な機能 (接続構成の管理、電源管理、速度情報の管理等) の一部を提供してもよい。

③バスマネージャは、IRMの機能を有し、IRMよりも高度なバス管理機能を提供する。具体的には、より高度な電源管理 (通信ケーブルを介して電源の供給が可能か否か、電源の供給が必要か否か等の情報を各ノード毎に管理)、より高度な速度情報の管理 (各ノード間の最大転送速度の管理)、より高度な接続構成の管理 (トポロジ・マップの作成)、これらの管理情報に基づくバスの最適化等を行い、更にこれらの情報を他のノードに提供する機能を有する。

【0050】又、バスマネージャは、シリアルバスネッ

トワークを制御するためのサービスをアプリケーションに対して提供できる。ここで、サービスには、シリアルバス制御要求 (SB\_CONTROL.request)、シリアルバス・イベント制御確認 (SB\_CONTROL.confirmation)、シリアルバス・イベント通知 (SB\_CONTROL.indication) 等がある。

【0051】SB\_CONTROL.requestは、アプリケーションがバスリセットを要求するサービスである。

【0052】SB\_CONTROL.confirmationは、SB\_CONTROL.requestをアプリケーションに対して確認するサービスである。SB\_CONTROL.indicationは、非同期に発生するイベントをアプリケーションに対して通知するサービスである。

【0053】(3) アドレス指定

図6は、1394インターフェースにおけるアドレス空間を説明する図である。尚、1394インターフェースは、ISO/IEC13213:1994に準じたCSR (Command and Status Register) アーキテクチャに従い、64ビット幅のアドレス空間を規定している。

【0054】図6において、最初の10ビットのフィールド601は、所定のバスを指定するID番号に使用され、次の6ビットのフィールド602は、所定の機器 (ノード) を指定するID番号に使用される。この上位16ビットを「ノードID」と呼び、各ノードはこのノードIDにより他のノードを識別する。又、各ノードは、このノードIDを用いて相手を識別した通信を行うことができる。

【0055】残りの48ビットからなるフィールドは、各ノードの具備するアドレス空間 (256Mバイト構造) を指定する。その内の20ビットのフィールド603は、アドレス空間を構成する複数の領域を指定する。

【0056】フィールド603において、「0~0×FFFFD」の部分は、メモリ空間と呼ばれる。「0×FFFFE」の部分は、プライベート空間と呼ばれ、各ノードで自由に利用できるアドレスである。又、「0×FFFFE」の部分は、レジスタ空間と呼ばれ、バスに接続されたノード間において共通の情報を格納する。各ノードは、レジスタ空間の情報をを用いることにより、各ノード間の通信を管理することができる。最後の28ビットのフィールド604は、各ノードにおいて共通或いは固有となる情報が格納されるアドレスを指定する。例えば、レジスタ空間において、最初の512バイトは、CSRアーキテクチャのコア (CSRコア) レジスタ用に使用される。CSRコア・レジスタに格納される情報のアドレス及び機能を図7に示す。図中のオフセットは、「0×FFFFFF00000000」からの相対位置である。

【0057】次の512バイトは、シリアルバス用のレジスタとして使用される。シリアルバス・レジスタに格納される情報のアドレス及び機能を図8に示す。図中のオフセットは、「0×FFFFFF0000200」からの相対位置である。

【0058】その次の1024バイトは、ConfigurationROM用に使用される。

【0059】ConfigurationROMには最小形式と一般形式とがあり、「0×FFFFFF0000400」から配置される。最小形式のConfigurationROMを図9に示す。図9において、ベンダIDは、IEEEにより各ベンダに対して固有に割り当てられた24ビットの数値である。又、一般形式のConfigurationROMを図10に示す。図10において、上述のベンダIDは、Root Directory1002に格納されている。BusInfoBlock1001とRootLeaf1005とは、各ノードを識別する固有のID情報としてノードユニークIDを保持することが可能である。

【0060】ここで、ノードユニークIDは、メーカ、機種に関わらず、1つのノードを特定することのできる固有のIDを定めるようになっている。ノードユニークIDは64ビットにより構成され、上位24ビットは上述のベンダIDを示し、下位48ビットは各ノードを製造するメーカにおいて自由に設定可能な情報（例えば、ノードの製造番号等）を示す。尚、このノードユニークIDは、例えばバスリセットの前後で継続して特定のノードを認識する場合に使用される。

【0061】又、図10において、Root Directory1002には、ノードの基本的な機能に関する情報を保持することが可能である。詳細な機能情報は、Root Directory1002からオフセットされるサブディレクトリ（Unit Directories1004）に格納される。Unit Directories1004には、例えば、ノードのサポートするソフトウェアユニットに関する情報が格納される。具体的には、ノード間のデータ通信を行うためのデータ転送プロトコル、所定の通信手順を定義するコマンドセット等に関する情報が保持される。

【0062】又、図10において、Node Dependent Info Directory1003には、デバイス固有の情報を保持することが可能である。Node Dependent Info Directory1003は、Root Directory1002によりオフセットされる。

【0063】更に、図10において、Vendor Dependent Information1006には、ノードを製造、或いは販売するベンダ固有の情報を保持することができる。

【0064】残りの領域は、ユニット空間と呼ばれ、各ノード固有の情報、例えば、各機器の識別情報（会社名、機種名等）や使用条件等が格納されたアドレスを指定する。ユニット空間のシリアルバス装置レジスタに格

納される情報のアドレス及び機能を図11に示す。図中のオフセットは、「0×FFFFFF0000800」からの相対位置である。

【0065】尚、一般的に、異種のバスシステムの設計を簡略化したい場合、各ノードは、レジスタ空間の最初の2048バイトのみを使うべきである。つまり、CSRコア・レジスタ、シリアルバス・レジスタ、ConfigurationROM、ユニット空間の最初の2048バイトの合わせて4096バイトで構成することが望ましい。

【0066】（4）通信ケーブルの構成

図12にIEEE1394規格に準拠した通信ケーブルの断面図を示す。

【0067】通信ケーブルは、2組のツイストペア信号線と電源ラインとにより構成されている。電源ラインを設けることによって、1394インターフェースは、主電源のOFFとなった機器、故障により電力低下した機器等にも電力を供給することができる。尚、電源線内を流れる電源の電圧は8～40V、電流は最大電流DC 1.5Aと規定されている。

【0068】2組のツイストペア信号線には、DS-Link（Data/Strobe Link）符号化方式にて符号化された情報信号が伝送される。図13は、DS-Link符号化方式を説明する図である。

【0069】このDS-Link符号化方式は、高速なシリアルデータ通信に適しており、その構成は、2組のより対線を必要とする。一組のより対線は、データ信号を送り、他のより対線は、ストロブ信号を送る構成になっている。受信側は、2組の信号線から受信したデータ信号とストロブ信号との排他的論理和をとることによって、クロックを再現することができる。尚、DS-Link符号化方式を用いることにより、1394インターフェースには、例えば次のような利点がある。①他の符号化方式に比べて転送効率が高い。②PLL回路が不要となり、コントローラLSIの回路規模を小さくできる。③アイドル状態であることを示す情報を送る必要が無いため、トランシーバ回路をスリープ状態とし易く、消費電力の低減が図れる。

【0070】（5）バスリセット

各ノードの1394インターフェースは、ネットワークの接続構成に変化が生じたことを自動的に検出することができる。この場合、1394ネットワークは以下に示す手順によりバスリセットと呼ばれる処理を行う。尚、接続構成に変化は、各ノードの具備する通信ポートにかかるバイアス電圧の変化により検知することができる。

【0071】ネットワークの接続構成の変化（例えば、ノードの挿抜、ノードの電源のON/OFFなどによるノード数の増減）を検出したノード、又は新たな接続構成を認識する必要のあるノードは、1394インターフェースを介して、バス上にバスリセット信号を送信す



る。

【0072】バスリセット信号を受信したノードの1394インターフェースは、バスリセットの発生を自身のリンク・レイヤ304に伝達すると共に、そのバスリセット信号を他のノードに転送する。バスリセット信号を受信したノードは、今まで認識していたネットワークの接続構成及び各機器に割り当てられたノードIDをクリアにする。最終的に全てのノードがバスリセット信号を検知した後、各ノードは、バスリセットに伴う初期化処理（即ち、新たな接続構成の認識と新たなノードIDの割り当て）を自動的に行う。

【0073】尚、バスリセットは、先に述べたような接続構成の変化による起動の他に、ホスト側の制御によって、アプリケーション・レイヤ307がフィジカル・レイヤ303に対して直接命令を出すことによって起動させることも可能である。

【0074】又、バスリセットが起動するとデータ転送は一時中断され、バスリセットに伴う初期化処理の終了後、新しいネットワークのもとで再開される。

【0075】（6）バスリセット起動後のシーケンス  
バスリセットの起動後、各ノードの1394インターフェースは、新たな接続構成の認識と新たなノードIDの割り当てとを自動的に実行する。以下、バスリセットの開始からノードIDの割り当て処理までの基本的なシーケンスを図14～16を用いて説明する。

【0076】図14は、図2の1394ネットワークにおけるバスリセット起動後の状態を説明する図である。

【0077】図14において、ノードAは1つの通信ポート、ノードBは2つの通信ポート、ノードCは2つの通信ポート、ノードDは3つの通信ポート、ノードEは1つの通信ポート、ノードFは1つの通信ポートを具備している。各ノードの通信ポートには、各ポートを識別するためにポート番号が付されている。

【0078】以下、図14におけるバスリセットの開始からノードIDの割り当てまでを図15のフローチャートを用いて説明する。

【0079】図15において、1394ネットワークを構成する各ノードA～Fは、バスリセットが発生したか否かを常時監視している（ステップS1501）。接続構成の変化を検出したノードからバスリセット信号が出力されると、各ノードは以下の処理を実行する。

【0080】バスリセットの発生後、各ノードは、夫々の具備する通信ポート間において親子関係の宣言を行う（ステップS1502）。

【0081】各ノードは、全てのノード間の親子関係が決定されるまで、ステップS1502の処理を繰り返す（ステップS1503）。

【0082】全てのノード間の親子関係が決定した後、1394ネットワークは、ネットワークの調停を行うノード、即ちルートを決定する（ステップS1504）。

【0083】ルートを決定した後、各ノードの1394インターフェース夫々は、自己のノードIDを自動的に設定する作業を実行する（ステップS1505）。

【0084】全てのノードに対してノードIDの設定がなされるまで、各ノードは所定の手順に基づきステップS1505の処理を実行する（ステップS1506）。

【0085】最終的に全てのノードに対してノードIDが設定された後、各ノードは、Isochronous転送或いはAsynchronous転送を実行する（ステップS1507）。

【0086】ステップS1507の処理を実行すると共に、各ノードの1394インターフェースは、再びバスリセットの発生を監視する。バスリセットが発生した場合には、ステップS1501以降の処理を再び実行する。

【0087】以上の手順により、各ノードの1394インターフェースは、バスリセットが起動する毎に、新たな接続構成の認識と新たなノードIDの割り当てとを自動的に実行することができる。

【0088】（7）親子関係の決定

次に、図16を用いて、図15に示したステップS1502の処理（即ち、各ノード間の親子関係を認識する処理）について詳細に説明する。

【0089】図16において、バスリセットの発生後、1394ネットワーク上の各ノードA～Fは、自分の具備する通信ポートの接続状態（接続又は未接続）を確認する（ステップS1601）。

【0090】通信ポートの接続状態の確認後、各ノードは、他のノードと接続されている通信ポート（以下、接続ポート）の数をカウントする（ステップS1602）。

【0091】ステップS1602の処理の結果、接続ポートの数が1つである場合、そのノードは、自分が「リーフ」とであると認識する（ステップS1603）。ここで、リーフとは、1つのノードとのみ接続されているノードのことである。

【0092】リーフとなるノードは、その接続ポートに接続されているノードに対して、「自分は子（Child）」であることを宣言する（ステップS1604）。このとき、リーフは、その接続ポートが「親ポート（親ノードと接続された通信ポート）」であると認識する。

【0093】ここで、親子関係の宣言は、まず、ネットワークの末端であるリーフとブランチとの間にて行われ、続いて、ブランチとブランチとの間で順次に行われる。各ノード間の親子関係は、早く宣言の行える通信ポートから順に決定される。又、各ノード間において、子であることを宣言した通信ポートは「親ポート」とであると認識され、その宣言を受けた通信ポートは「子ポート（子ノードと接続された通信ポート）」であると認識される。例えば、図14において、ノードA、E、Fは、自分がリーフであると認識した後、親子関係の宣言を行



う。これにより、ノードA-B間では子-親、ノードE-D間では子-親、ノードF-D間では子-親と決定される。

【0094】又、ステップS1602の処理の結果、接続ポートの数が2つ以上の場合、そのノードは、自分を「ブランチ」とであると認識する(ステップS1605)。ここで、ブランチとは、2つ以上のノードと接続されているノードのことである。

【0095】ブランチとなるノードは、各接続ポートのノードから親子関係の宣言を受け付ける(ステップS1606)。宣言を受け付けた接続ポートは、「子ポート」として認識される。

【0096】1つの接続ポートを「子ポート」と認識した後、ブランチは、まだ親子関係の決定されていない接続ポート(即ち、未定義ポート)が2つ以上あるか否かを検出する(ステップS1607)。その結果、未定義ポートが2つ以上ある場合、ブランチは、再びステップS1606の動作を行う。

【0097】ステップS1607の結果、未定義ポートが1つだけ存在する場合、ブランチは、その未定義ポートが「親ポート」とであると認識し、そのポートに接続されているノードに対して「自分は子」であることを宣言する(ステップS1608、S1609)。

【0098】ここで、ブランチは、残りの未定義ポートが1つになるまで自分自身が子であると他のノードに対して宣言することができない。例えば、図14において、ノードB、C、Dは、自分がブランチであると認識すると共に、リーフ或いは他のブランチからの宣言を受け付ける。ノードDは、D-E間、D-F間の親子関係が決定した後、ノードCに対して親子関係の宣言を行っている。又、ノードDからの宣言を受けたノードCは、ノードBに対して親子関係の宣言を行っている。

【0099】又、ステップS1608の処理の結果、未定義ポートが存在しない場合(つまり、ブランチの具備する全ての接続ポートが親ポートとなった場合)、そのブランチは、自分自身がルートであることを認識する(ステップS1610)。

【0100】例えば、図14において、接続ポートの全てが親ポートとなったノードBは、1394ネットワーク上の通信を調停するルートとして他のノードに認識される。ここで、ノードBがルートと決定されたが、ノードBの親子関係を宣言するタイミングが、ノードCの宣言するタイミングに比べて早い場合には、他のノードがルートになる可能性もある。即ち、宣言するタイミングによっては、どのノードもルートとなる可能性がある。従って、同じネットワーク構成であっても同じノードがルートになるとは限らない。

【0101】このように全ての接続ポートの親子関係が宣言されることによって、各ノードは、1394ネットワークの接続構成を階層構造(ツリー構造)として認識

することができる(ステップS1611)。尚、上述の親ノードは階層構造における上位であり、子ノードは階層構造における下位となる。

【0102】(8)ノードIDの割り当て

図17は、図15に示したステップS1505の処理(即ち、自動的に各ノードのノードIDを割り当てる処理)を詳細に説明するフローチャートである。ここで、ノードIDは、バス番号とノード番号とから構成されるが、本実施形態では、各ノードを同一バス上に接続するものとし、各ノードには同一のバス番号が割り当てられるものとする。

【0103】図17において、ルートは、ノードIDが未設定のノードが接続されている子ポートの内、最小番号を有する通信ポートに対してノードIDの設定許可を与える(ステップS1701)。

【0104】尚、図17において、ルートは、最小番号の子ポートに接続されている全ノードのノードIDを設定した後、その子ポートを設定済とし、次に最小となる子ポートに対して同様の制御を行う。最終的に子ポートに接続された全てのノードのID設定が終了した後、ルート自身のノードIDを設定する。尚、ノードIDに含まれるノード番号は、基本的にリーフ、ブランチの順に0、1、2...と割り当てられる。従って、ルートが最も大きなノード番号を有することになる。

【0105】ステップS1701において、設定許可を得たノードは、自分の子ポートの内、ノードIDが未設定となるノードを含む子ポートがあるか否かを判断する(ステップS1702)。ステップS1702において、未設定ノードを含む子ポートが検出された場合、上述の設定許可を得たノードは、その子ポートに直接接続されたノードに対してその設定許可を与えるように制御する(ステップS1703)。

【0106】ステップS1703の処理後、上述の設定許可を得たノードは、自分の子ポートの内、ノードIDが未設定であるノードを含む子ポートがあるか否かを判断する(ステップS1704)。ここで、ステップS1704の処理後、未設定ノードを含む子ポートの存在が検出された場合、そのノードは、再びステップS1703の処理を実行する。

【0107】又、ステップS1702或いはS1704において、未設定ノードを含む子ポートが検出されなかった場合、設定許可を得たノードは、自分自身のノードIDを設定する(ステップS1705)。

【0108】自分のノードIDを設定したノードは、自己のノード番号、通信ポートの接続状態に関する情報等を含んだセルフIDバケットをブロードキャストする(ステップS1706)。尚、ブロードキャストとは、あるノードの通信バケットを、1394ネットワークを構成する不特定多数のノードに対して転送することである。

【0109】ここで、各ノードは、このセルフIDパケットを受信することにより、各ノードに割り当てられたノード番号を認識することができ、自分に割り当てられるノード番号を知ることができる。例えば、図14において、ルートであるノードBは、最小ポート番号「#1」の通信ポートに接続されたノードAに対してノードID設定の許可を与える。ノードAは、自己のノード番号「No. 0」と割り当て、自分自身に対してバス番号とノード番号とからなるノードIDを設定する。又、ノードAは、そのノード番号を含むセルフIDパケットを  
10 ブロードキャストする。

【0110】図18にセルフIDパケットの構成例を示す。図18において、1801はセルフIDパケットを送出したノードのノード番号を格納するフィールド、1802は対応可能な転送速度に関する情報を格納するフィールド、1803はバス管理機能（バスマネージャの能力の有無等）の有無を示すフィールド、1804は電力の消費及び供給の特性に関する情報を格納するフィールドである。

【0111】又、図18において、1805はポート番号「#0」となる通信ポートの接続状態に関する情報（接続、未接続、通信ポートの親子関係等）を格納するフィールド、1806はポート番号「#1」となる通信ポートの接続状態に関する情報（接続、未接続、通信ポートの親子関係等）を格納するフィールド、1807はポート番号「#2」となる通信ポートの接続状態に関する情報（接続、未接続、通信ポートの親子関係等）を格納するフィールドである。  
20

【0112】尚、セルフIDパケットを送出するノードにバスマネージャとなり得る能力がある場合には、フィールド1803に示すコンテンダビットを「1」とし、なり得る能力がなければ、コンテンダビットを0とする。  
30

【0113】ここで、バスマネージャとは、上述のセルフIDパケットに含まれる各種の情報に基づいて、バスの電源管理（通信ケーブルを介して電源の供給が可能か否か、電源の供給が必要か否か等の情報を各ノード毎に管理する）、速度情報の管理（各ノードの対応可能な転送速度に関する情報から各ノード間の最大転送速度を管理する）、トポロジ・マップ情報の管理（通信ポートの親子関係情報からネットワークの接続構成を管理する）、トポロジ・マップ情報に基づくバスの最適化等を行い、それらの情報を他のノードに提供する機能を有するノードである。これらの機能により、バスマネージャとなるノードは1394ネットワーク全体のバス管理を行うことができる。ステップS1706の処理後、ノードIDの設定を行ったノードは、親ノードがあるか否かを判断する（ステップS1707）。親ノードがある場合、その親ノードが、ステップS1702以下の処理を再び実行する。そして、まだノードIDの設定されてい  
40 50

ないノードに対して許可を与える。

【0114】又、親ノードが存在しない場合、そのノードは、ルート自身であると判断される。ルートは、全ての子ポートに接続されたノードに対してノードIDが設定されたか否かを判別する（ステップS1708）。

【0115】ステップS1708において、全てのノードに対するID設定処理が終了しなかった場合、ルートは、そのノードを含む子ポートの内、最小番号となる子ポートに対してID設定の許可を与える（ステップS1701）。その後、ステップS1702以下の処理を実行する。

【0116】又、全てのノードに対するID設定処理が終了した場合、ルートは、自分自身のノードIDの設定を実行する（ステップS1709）。ノードIDの設定後、ルートは、セルフIDパケットをブロードキャストする（ステップS1710）。

【0117】以上の処理によって、1394ネットワークは、各ノードに対して自動的にノードIDを割り当てることができる。

【0118】ここで、ノードIDの設定処理後、複数のノードがバスマネージャの能力を具備する場合、ノード番号の最も大きいノードがバスマネージャとなる。つまり、ネットワーク内で最大となるノード番号を持つルートがバスマネージャになり得る機能を有している場合には、ルートがバスマネージャとなる。

【0119】しかしながら、ルートにその機能が備わっていない場合には、ルートの次に大きいノード番号を具備するノードがバスマネージャとなる。又、どのノードがバスマネージャになったかについては、各ノードがブロードキャストするセルフIDパケット内のコンテンダビット1803をチェックすることにより把握することができる。

【0120】（9）アービトレーション

図19は、図1の1394ネットワークにおけるアービトレーションを説明する図である。1394ネットワークでは、データ転送に先立って、必ずバス使用権のアービトレーション（調停）を行う。1394ネットワークは、論理的なバス型ネットワークであり、各ノードから転送された通信パケットを他のノードに中継することによって、ネットワーク内の全てのノードに同じ通信パケットを転送することのできる。従って、通信パケットの衝突を防ぐために、必ずアービトレーションが必要となる。これによって、ある時間において一つのノードのみが転送を行うことができる。

【0121】図19（a）は、ノードBとノードFとが、バス使用権の要求を発している場合について説明する図である。

【0122】アービトレーションが始まるとノードB、Fは、夫々親ノードに向かって、バス使用権の要求を発する。ノードBの要求を受けた親ノード（即ち、ノード

C)は、自分の親ノード(即ち、ノードD)に向かって、そのバス使用权を中継する。この要求は、最終的に調停を行うルート(ノードD)に届けられる。

【0123】バス使用要求を受けたルートは、どのノードにバスを使用させるかを決める。この調停作業はルートとなるノードのみが行えるものであり、調停によって勝ったノードにはバスの使用許可が与えられる。

【0124】図19(b)は、ノードFの要求が許可され、ノードBの要求が拒否されたことを示す図である。アービトレーションに負けたノードに対してルートは、DP(Data prefix)バケットを送り、拒否されたことを知らせる。拒否されたノードは、次のアービトレーションまでバス使用要求を待機する。

【0125】以上のようにアービトレーションを制御することによって、1394ネットワークは、バスの使用权を管理することができる。

【0126】(10)通信サイクル

Isochronous転送モードとAsynchronous転送モードとは、各通信サイクル期間内において時分割に混在させることができる。ここで、通信サイクルの期間は、通常、125μsである。

【0127】図20は、1通信サイクルにおいてIsochronous転送モードとAsynchronous転送モードとを混在させた場合を説明する図である。

【0128】Isochronous転送モードは、Asynchronous転送モードより優先して実行される。その理由は、サイクル・スタート・バケットの後、Asynchronous転送を起動するために必要なアイドル期間(subaction gap)が、Isochronous転送を起動するため必要なアイドル期間(Isochronous gap)よりも長くなるように設定されているためである。これにより、Isochronous転送は、Asynchronous転送に優先して実行される。

【0129】図20において、各通信サイクルのスタート時には、サイクル・スタート・バケット(以下、CSP)が所定のノードから転送される。各ノードは、このCSPを用いて時刻調整を行うことによって、他のノードと同じ時間を計時することができる。

【0130】(11)Isochronous転送モード

Isochronous転送モードは、同期型の転送方式である。Isochronousモード転送は、通信サイクルの開始後、所定の期間において実行可能である。又、Isochronous転送モードは、リアルタイム転送を維持するために、各サイクル毎に必ず実行される。

【0131】Isochronous転送モードは、特に動画データや音声データ等のリアルタイムな転送を必要とするデータの転送に適した転送モードである。Isochronous転送モードは、Asynchronous転送モードのように1対1の通信ではなく、ブロードキャスト通信である。つまり、あるノードから送出されたバケットは、ネットワーク上の全てのノードに対して一様に転送される。尚、Is

ochronous転送には、ack(受信確認用返信コード)は存在しない。

【0132】図20において、チャンネルe(che)、チャンネルs(chs)、チャンネルk(chk)は、各ノードがIsochronous転送を行う期間を示す。1394インターフェースでは、複数の異なるIsochronous転送を区別するために、夫々異なるチャンネル番号を与えている。これにより、複数ノード間でのIsochronous転送が可能となる。ここで、このチャンネル番号は、送信先を特定するものではなく、データに対する論理的な番号を与えているに過ぎない。

【0133】又、図20に示したIsochronous gapとは、バスのアイドル状態を示すものである。このアイドル状態が一定時間を経過した後、Isochronous転送を希望するノードは、バスが使用できると判断し、アービトレーションを実行する。

【0134】次に、図21にIsochronous転送モードに基づいて転送される通信バケットのフォーマットを示す。以下、Isochronous転送モードに基づいて転送される通信バケットを、Isochronousバケットと称する。

【0135】図21において、Isochronousバケットはヘッダ部2101、ヘッダCRC2102、データ部2103、データCRC2104から構成される。

【0136】ヘッダ部2101には、データ部2103のデータ長を格納するフィールド2105、Isochronousバケットのフォーマット情報を格納するフィールド2106、Isochronousバケットのチャンネル番号を格納するフィールド2107、バケットのフォーマット及び実行しなければならない処理を識別するトランザクションコード(transaction code)を格納するフィールド2108、同期化コードを格納するフィールド2109がある。

【0137】(12)Asynchronous転送モード

Asynchronous転送モードは、非同期型の転送方式である。Asynchronous転送は、Isochronous転送期間の終了後、次の通信サイクルが開始されるまでの間(即ち、次の通信サイクルのCSPが転送されるまでの間)、実行可能である。

【0138】図20において、最初のサブアクション・ギャップ(subaction gap)は、バスのアイドル状態を示すものである。このアイドル時間が一定値になった後、Asynchronous転送を希望するノードは、バスが使用できると判断し、アービトレーションを実行する。

【0139】アービトレーションによりバスの使用权を得たノードは、図22に示すバケットを所定のノードに対して転送する。このバケットを受信したノードは、ack(受信確認用返信コード)或いは応答バケットをack gap後に返送する。

【0140】図22は、Asynchronous転送モードに基づく通信バケットのフォーマットを示す図である。以下、Asynchronous転送モードに基づいて転送される通信バケ

ットを、Asynchronousパケットと称する。

【0141】図22において、Asynchronousパケットは、ヘッダ部2201、ヘッダCRC2202、データ部2203、データCRC2204から構成される。

【0142】ヘッダ部2201において、フィールド2205には宛先となるノードのノードID、フィールド2206にはソースとなるノードのノードID、フィールド2207には一連のトランザクションを示すためのラベル、フィールド2208には再送ステータスを示すコード、フィールド2209にはパケットのフォーマット及び実行しなければならない処理を識別するトランザクションコード(tcode)、フィールド2210には優先順位、フィールド2211には宛先のメモリ・アドレス、フィールド2212にはデータ部のデータ長、フィールド2213には拡張されたトランザクション・コードが格納される。

【0143】又、Asynchronous転送は、自己ノードから相手ノードへの1対1の通信である。転送元ノードから転送されたパケットは、ネットワーク中の各ノードに行き渡すが、自分宛てのアドレス以外のものは無視される。従って、宛先となるノードのみが、そのパケットを読み込むことができる。尚、Asynchronous転送中に次のCSPを転送すべき時間に至った場合、無理に転送を中断せず、その転送が終了した後、次のCSPを送信する。これにより、1つの通信サイクルが125μs以上続いたときは、その分、次の通信サイクル期間を短縮する。このようにすることによって、1394ネットワークは、ほぼ一定の通信サイクルを保持することができる。

【0144】(13) デバイス・マップ  
デバイスマップを作成するためにアプリケーションが1394ネットワークのトポロジを知る手段として、IEEE1394規格上は以下の手段がある。

【0145】1. バスマネージャのトポロジーマップレジスタをリードする

2. バスリセット時にセルフIDパケットから推定する  
しかし上記1、2の手段では、各ノードの親子関係によるケーブル接続順のトポロジーは判明するものの、物理的な位置関係のトポロジーを知ることとは出来ない。(実装されていないポートまで見えてしまう、といった問題もある) また、デバイスマップを作成するための情報を、コンフィギュレーションROM以外のデータベースとして持つ、といった手段もあるが、その場合、各種情報を得る手段はデータベースアクセスのためのプロトコルに依存してしまう。

【0146】ところで、コンフィギュレーションROM自体やコンフィギュレーションROMを読む機能は、IEEE1394規格を遵守したデバイスが必ず持つものである。そこで、デバイスの位置、機能等の情報を各ノードのコンフィギュレーションROMに格納し、それら

をアプリケーションから読む機能を与えることにより、データベースアクセス、データ転送等の特定のプロトコルに依存することなく、各ノードのアプリケーションがいわゆるデバイスマップ表示機能を実装することができる。

【0147】コンフィギュレーションROMにはノード固有の情報として物理的な位置、機能などが格納可能であり、デバイスマップ表示機能の実現に使用することが可能である。

【0148】この場合、アプリケーションが物理的な位置関係による1394ネットワークのトポロジを知る手段としては、バスリセット時やユーザーからの要求時に、各ノードのコンフィギュレーションROMを読み取ることにより、1394ネットワークのトポロジを知る、という方法が可能となる。さらに、コンフィギュレーションROM内にノードの物理的位置のみならず、機能などの各種ノード情報も記述することによって、コンフィギュレーションROMを読むことで、ノードの物理的位置と同時に各ノードの機能情報等も得ることができる。アプリケーションが各ノードのコンフィギュレーションROM情報を取得する際には、指定ノードの任意のコンフィギュレーションROM情報を取得するAPIを用いる。

【0149】このような手段を用いることにより、IEEE1394ネットワーク上のデバイスのアプリケーションは、物理的なトポロジーマップ、各ノードの機能マップなど、用途に応じて様々なデバイスマップを作成することができ、ユーザーが必要な機能をもつデバイスを選択する、といったことも可能となる。

【0150】次に、本実施形態におけるIEEE1394インターフェースの構成について説明する。

【0151】図23は1394I/Fブロックの基本構成ブロック図である。

【0152】図中、2302は1394シリアルバスを直接ドライブするフィジカルレイヤー制御IC(PHYIC)であり、前述の(IEEE1394の技術の概要)におけるフィジカルレイヤーの機能を実現する。主な機能としては、バスイニシャル化とアービトレーション、送信データ符号のエンコード/デコード、ケーブル通電状態の監視ならびに負荷終端用電源の供給(アクティブ接続認識用)、リンクレイヤーICとのインターフェースである。

【0153】2301はデバイス本体とのインターフェースを行い、PHYICのデータ転送をコントロールするリンクレイヤー制御IC(LINKIC)であり、前述の<IEEE1394の技術の概要>におけるリンクレイヤーの機能を実現する。本ICが備える主な機能としてはPHYICを介する送信/受信データを一時格納する送受信FIFO、送信データのパケット化機能、PHYICが受信データが本ノードアドレス、またはアイソ

10

20

30

40

50

クロナス転送データの場合は割り当てられたチャンネル向けのものであるかの判定機能、またそのデータのエラーチェックを行うレシーバー機能、そしてデバイス本体とのインターフェースを行う機能がある。

【0154】図中、2304はリンクレイヤIC、PHYICをはじめとする1394インターフェース部をコントロールするCPUであり、2805は同インターフェース部のコントロール用プログラムが格納されているROMである。

【0155】2306はRAMであり、送受信データを蓄えるデータバッファをはじめ、制御用ワークエリア、1394アドレスにマッピングされた各種レジスタのデータ領域に使用されている。

【0156】また、2303はコンフィギュレーションROMであり、各機器固有の識別、通信条件等が格納されている。本ROMのデータフォーマットは<IEEE1394の技術の概要>で説明したようにIEEE1212並びにIEEE1394規格で定められたフォーマットに準じている。

【0157】各ノードは図24に示す様な一般形式のコンフィギュレーションROMを装備しており、各デバイスのソフトウェアユニット情報はユニットディレクトリに、ノード固有の情報はノードディペンデントインフォディレクトリに保存されている。

【0158】また、プリンタ機能、スキャナ機能といった各デバイスの基本機能インスタンスとその基本機能に付随する詳細情報はroot\_directoryからオフセットされるインスタンスディレクトリ(instance\_directory)に保有することが可能となっている。

【0159】インスタンスディレクトリの構成について説明する。インスタンスディレクトリには、プリンタ、スキャナといったプロトコルに依存しないデバイスの情報が格納される。単機能のデバイスの場合、基本機能情報は1つであり、複数機能をサポートするデバイスの場合には、複数の機能が列挙される。列挙された各機能について対応するプロトコル・ソフトウェア情報を保存するユニットディレクトリへのポインタ情報を保存する他に、それぞれの機能に関する固有な詳細情報を保有するためのフィーチャディレクトリへのポインタが保存される。

【0160】<IEEE1394の技術の概要>で説明したように1394シリアルバスのアドレス設定のうち、最後の28ビットはシリアルバスに接続される他のデバイスからアクセス可能な、各機器の固有データの領域として確保されている。図25はこの28ビットのアドレス空間を表した図である。

【0161】図中0000番地から0200番地(16進数表記)の領域にはCSRコアレジスタ群が配置されている。

【0162】これらレジスタはCSRアーキテクチャで定められたノード管理の為の基本的な機能として存在し、図11で示されている。

【0163】0200番地から0400番地の領域は、CSRアーキテクチャにより、シリアルバスに関するレジスタが格納される領域として定義されている。図30中、<IEEE1394の技術の概要>で説明したように0200~0230番地のレジスタが定義されておりデータ転送の同期、電源供給、バスリソース管理等に使用されるレジスタが配置されている。この部分は図12と同じ物である。

【0164】次に、本実施形態の印刷装置について説明する。図40には、本実施形態が適用した印刷装置109の外観が示されている。図中4001は、電源投入ボタン、4002は印刷指示ボタンであり、これらで操作部113を構成する。また、4003は外部インターフェースであるIEEE1394のコネクタを示す。

【0165】印刷装置109(図1参照)における、印刷制御部111、印刷機構部112の構成については一般的な印刷装置の構成に準ずるものとし、ここでは詳細について説明しない。なお、印刷機構部112は、実施形態ではインク液滴を吐出するヘッドを搭載し、それを往復運動(スキャン)させることで画像を記録するものとする。

【0166】次に、本実施形態の情報処理装置101の印刷情報指示部107の処理について説明する。図36は本実施形態の情報処理装置において内部状態と印刷情報(印刷すべき情報)との対応を管理するテーブルを示した図である。印刷情報指示部107はメモリ上に図36に示したテーブルを持ち、情報処理部102から情報処理装置101の内部状態を取得し、図36に示したテーブルから対応する印刷情報の所在を取得するとともに、これを印刷情報提示部106に出力する。印刷情報は、前述のCD-ROMないしDVD-ROMにファイルとして格納されている。

【0167】なお、内部状態とは、例えば、情報処理装置101は、実施形態ではビデオゲーム機であるので、そのゲームの進行状態を指す。そして、印刷情報とは、代表的なものは、その時に表示されている映像を生成するためのデータである。

【0168】次に、本実施形態の情報処理装置101の印刷情報提示部106の処理について説明する。印刷情報指示部107から印刷情報の所在を取得すると、印刷情報提示部106は、前述のCD-ROMないしDVD-ROMにファイルとして格納されている印刷情報を検索する。検索して、対応する印刷情報が格納されているファイルが見つかり、ファイルの内容をIEEE1394アドレス空間にマッピングして、外部から読み出し可能にする。図26は本実施形態の情報処理装置において印刷情報の1394アドレス空間へのマッピングを説

明する図である。図中、データサイズ2601はIEEE 1394アドレス空間の特定アドレスに配置され、このアドレスは情報処理装置101のコンフィギュレーションROMに格納しておき（不図示）、接続する印刷装置は、それをリードトランザクションを使って読み出すことによりアドレスを知ることができるようになっている。データサイズ2601が配置されたアドレスに対して、リードトランザクションのリードリクエストがあると、印刷情報提示部106は対応する印刷情報の格納されたファイルサイズをリードレスポンスとして返す。同様にデータウィンドウ2602もIEEE 1394アドレス空間の特定アドレスに配置され、そのアドレスは情報処理装置101のコンフィギュレーションROMに格納しておき（不図示）、接続する印刷装置は、それをリードトランザクションを使って読み出すことによりアドレスを知ることができるようになっている。IEEE 1394アドレス空間に配置されたデータウィンドウ2602の大きさは、対応する印刷情報の大きさと一致するように、印刷情報の変化の伴って変化するようにしておく。

【0169】図28は本実施形態の情報処理装置101が印刷情報の読み出し要求を受けたときの処理手順を示している。データウィンドウの内部のアドレスに対して、リードトランザクションのリードリクエストがあると、ステップS2801でリクエストアドレス、リクエストサイズを取得し、リクエストアドレスのデータウィンドウの先頭アドレスからのオフセットを計算し、ファイルの読み出し位置をファイルの先頭からこのオフセットの位置に移動する。ステップS2802で、この読み出し位置から、リードリクエストのサイズだけファイル読み出しを行い、ステップS2803で、読み込んだデータをリードレスポンスとして返す。

【0170】次に本実施形態の印刷装置109の印刷制御部111の処理について説明する。操作部113の印刷指示ボタン4002を押下されると印刷制御部111は印刷情報を情報処理装置101から読み出す処理を開始する。

【0171】図27は本実施形態の印刷装置109が印刷情報を情報処理装置101から読み出す処理を説明する図である。まず、ステップS2701で、前述のデータサイズ2601が配置されたアドレスに対しての、リードトランザクションにより印刷情報のサイズを取得する。次いで、ステップS2702でデータウィンドウ2602内部のアドレスに対しての、リードトランザクションにより印刷情報を取得する。このアドレスは、これまでに読み出したデータサイズの合計をデータウィンドウ2602の先頭アドレスに加えた値である。ステップS2703でこれまでに読み出したデータサイズの合計と先に取得した印刷情報のサイズを比較し、すべてのデータを読み出すまで、ステップS2702、ステップS

2703を繰り返す。

【0172】印刷情報を受け取ると印刷制御部111は、受け取ったデータ（画像データ）に基づき印刷機構部112を駆動して、印刷を行わせる。

【0173】＜第2の実施形態＞本第2の実施形態の構成は、上記の第1の実施形態と同様とする。

【0174】図29は本実施形態の情報処理装置101において印刷情報の1394アドレス空間へのマッピングを説明する図である。図中、トータルデータサイズ2901はIEEE 1394アドレス空間の特定アドレスに配置され、このアドレスは情報処理装置101のコンフィギュレーションROMに格納しておき（不図示）、接続する印刷装置は、それをリードトランザクションを使って読み出すことによりアドレスを知ることができるようになっている。トータルデータサイズ2901が配置されたアドレスに対して、リードトランザクションのリードリクエストがあると、印刷情報提示部106は対応する印刷情報の格納されたファイルサイズをリードレスポンスとして返す。同様にカレントデータサイズ2902はIEEE 1394アドレス空間の特定アドレスに配置され、このアドレスは情報処理装置101のコンフィギュレーションROMに格納しておき（不図示）、接続する印刷装置は、それをリードトランザクションを使って読み出すことによりアドレスを知ることができるようになっている。カレントデータサイズ2902が配置されたアドレスに対して、リードトランザクションのリードリクエストがあると、印刷情報提示部106は後述するデータウィンドウ2903内の有効なデータのサイズをリードレスポンスとして返す。データウィンドウ2903もIEEE 1394アドレス空間の特定アドレスに配置され、そのアドレスは情報処理装置101のコンフィギュレーションROMに格納しておき（不図示）、接続する印刷装置は、それをリードトランザクションを使って読み出すことによりアドレスを知ることができるようになっている。IEEE 1394アドレス空間に配置されたデータウィンドウ2903の大きさは、1回のリードトランザクションの可能な最大のブロックサイズの大きさと一致するようにしておく。図31は本実施形態の情報処理装置101が印刷情報の読み出し要求を受けたときの処理を説明する図である。データウィンドウのアドレスに対して、リードトランザクションのリードリクエストがあると、ステップS3101でリクエストアドレス、リクエストサイズを取得する。ステップS3102で、現在の読み出し位置から、リードリクエストのサイズだけファイル読み出しを行い、ステップS3103で、読み込んだデータをリードレスポンスとして返す。そして、ステップS3104で、リードリクエストのサイズだけファイルの読み出し位置を移動する。

【0175】次に本第2の実施形態の印刷装置109の印刷制御部111の処理について説明する。操作部11

3の印刷指示ボタン4002を押下されると印刷制御部111は印刷情報を情報処理装置101から読み出す処理を開始する。

【0176】図30は本実施形態の印刷装置109が印刷情報を情報処理装置101から読み出す処理を説明する図である。まず、ステップS3001で、前述のトータルデータサイズ2901が配置されたアドレスに対して、リードトランザクションにより印刷情報のサイズを取得する。次いで、ステップS3002で前述のカレントデータサイズ2902が配置されたアドレスに対して、リードトランザクションによりデータウィンドウ内の有効データのサイズを取得する。ステップS3003でデータウィンドウ2903のアドレスに対しての、リードトランザクションにより印刷情報を取得する。ステップS3004でこれまでに読み出したデータサイズの合計と先に取得した印刷情報のサイズを比較し、すべてのデータを読み出すまで、ステップS3002からステップS3004を繰り返す。

【0177】印刷情報を受け取ると印刷制御部111は印刷機構部112を駆動して印刷を行う。

【0178】<第3の実施形態>本第3の実施形態の構成も、前述の第1の実施形態と同様とする。

【0179】本第3の実施形態の情報処理装置101と印刷装置109はDirect Print Protocol（以下DPP）に準拠して通信を行う。情報処理装置101はDPPのImage Source Deviceとして、印刷装置109はTarget Deviceとして動作する。情報処理装置101はIEEE1394バスで接続しているデバイスのコンフィギュレーションROMを読み、DPPのTarget Deviceである印刷装置109をサーチする。

【0180】図32は本実施形態において情報処理装置がDPPにしたがって印刷情報を印刷装置に送信する処理を説明する図である。

【0181】まず、情報処理装置101はDPPの規定にしたがって、ConnectReq①を印刷装置109に送信する。これに回答して、印刷装置109はDPPの規定にしたがって、ConnectRsp②を情報処理装置101に送信する。以上によりDPPに規定されるConnectionが成立する。

【0182】次いで情報処理装置101はDPPの規定にしたがって、GetQueryItemCommand③を送信して印刷装置の設定情報を問い合わせる。これに回答して、印刷装置109はDPPの規定にしたがって、GetQueryItemResponse④を送信し、設定情報を返す。

【0183】次に情報処理装置101はDPPの規定にしたがって、SetQueryItemCommand⑤を送信して印刷装置の設定情報の変更を要求する。これに回答して、印刷装置109はDPPの規定にしたがって、SetQueryItemResponse⑥を

送信し、設定情報の変更結果を返す。

【0184】このあと、情報処理装置101はData Transfer⑦でDPPのデータ転送を行い、印刷情報を印刷装置109に送信する。印刷装置109は受信した印刷情報にしたがって印刷を行う。

【0185】すべての印刷を終了すると、情報処理装置101はDPPの規定にしたがって、DisconnectReq⑧を印刷装置109に送信する。これを印刷装置109が受信するとDPPに規定されるConnectionが解除される。

【0186】図33は本実施形態のDPPのデータ転送において情報処理装置からデータ転送を開始する場合の処理のシーケンスを示す図である。

【0187】情報処理装置101は、入力部103から、印刷指示の入力があると、DPPの規定にしたがってSendCommandを使って最初のセグメント⑨を送信する。DPPの規定におけるアプリケーションデータである印刷情報はDPPの規定にしたがって、セグメントに分割されて送信される。次いで情報処理装置は必要に応じて分割された中間のセグメント(10)の送信を繰り返し、最後に最後のセグメント(11)を送信する。最後のセグメントを受信すると、印刷装置109はDPPの規定に従いSendResponse(12)を送信する。

【0188】図34は本実施形態のDPPのデータ転送において印刷装置から転送の開始を要求する場合の処理を説明する図である。

【0189】印刷装置109は、操作部113の印刷指示ボタン4002を押下されると、DPPの規定にしたがってStartRequestCommand(13)を送信する。これに回答して、情報処理装置101はStartRequestResponse(14)を送信する。以下、前述の場合と同様に、情報処理装置101はSendCommandを使って最初のセグメント(15)の送信、中間のセグメント(16)の送金の繰り返し、最後のセグメント(17)を送信し、印刷装置109は、SendResponse(18)を送信する。

【0190】図35は本第3の実施形態の情報処理装置が印刷情報を出力する処理を説明する図である。

【0191】まず、ステップS3501で対応する印刷情報を格納したファイルのサイズを取得し、ファイルの読み出し位置をファイルの先頭にする。次いで、ステップS3502でセグメント分割に応じたサイズだけファイルから読み出す。ファイルの読み出し位置は読み出した分だけ移動する。次に、ステップS3503でDPPの規定にしたがって出力し、ステップS3504で最後のセグメントを判定し、終わるまでステップS3502からステップS3504を繰り返す。

【0192】なお、実施形態では、情報処理装置としてビデオゲーム機を例にして示したが、これに限るもので

10

20

30

40

50



はない。また、汎用シリアルインターフェースとしてIEEE1394を例にして説明したが、上記の処理を実現できるものであればこれに限るものでもない。

【0193】以上説明したように本実施形態によれば、ビデオゲーム機のような用途が比較的限定されたアプリケーションのみを扱う情報処理装置において、処理を行っているある時点の処理の状態とその状態での印刷対象を1対1に対応付け、ゲーム機の操作パッドのような入力装置を使って印刷対象を指定する煩雑な操作をなくし、操作者の負担を軽減し、また、印刷対象を印刷装置の解釈する情報に変換する処理をなくし、情報処理装置への負荷を小さくし、印刷中に、ゲームを続けようとするとき、動作がそれほど遅くならない情報処理装置を提供できるという効果がある。

【0194】

【発明の効果】以上説明したように本発明によれば、主たる処理を行う情報処理装置において、印刷処理を負荷の少ない状態で実現することが可能になる。

【図面の簡単な説明】

【図1】実施形態が適用する情報処理システムのブロック構成図である。

【図2】IEEE1394シリアルバスのネットワークの構成を示した図である。

【図3】IEEE1394シリアルバスの構成要素を示した図である。

【図4】リンク・レイヤの提供可能なサービスを示す図である。

【図5】トランザクション・レイヤの提供可能なサービスを示す図である。

【図6】IEEE1394インターフェースにおけるアドレス空間を説明する図である。

【図7】CSRコア・レジスタに格納される情報のアドレス及び機能を示す図である。

【図8】シリアルバス・レジスタに格納される情報のアドレス及び機能を示す図である。

【図9】最小形式のConfiguration ROMを示す図である。

【図10】一般形式のConfiguration ROMを示す図である。

【図11】ユニット空間のシリアルバス装置レジスタに格納される情報のアドレス及び機能を示す図である。

【図12】IEEE1394規格に準拠した通信ケーブルの断面図を示す図である。

【図13】DSL link符号化方式を説明するための図である。

【図14】1394ネットワークにおけるバスリセット起動後の状態を説明する図である。

【図15】バスリセットの開始からノードIDの割り当てまでの手順を示すフローチャートである。

【図16】図15におけるステップS1502の処理内

容を示すフローチャートである。

【図17】図15に示したステップS1505の処理内容を示すフローチャートである。

【図18】セルフIDパケットの構成例を示す図である。

【図19】図1の1394ネットワークにおけるアービトレーションを説明するための図である。

【図20】1通信サイクルにおいてIsochronous転送モードとAsynchronous転送モードとが混在した例を示す図である。

【図21】Isochronous転送モードに基づいて転送される通信パケットのフォーマットを示す図である。

【図22】Asynchronous転送モードに基づく通信パケットのフォーマットを示す図である。

【図23】実施形態の1394ノードの1394インターフェースブロックの構成を示した図である。

【図24】実施形態のConfiguration ROM格納データの構成を示した図である。

【図25】実施形態のIEEE1394ノードのアドレス空間を示した図である。

【図26】第1の実施形態の情報処理装置において印刷情報の1394アドレス空間へのマッピングを説明する図である。

【図27】第1の実施形態の印刷装置が印刷情報を情報処理装置から読み出す処理手順を示すフローチャートである。

【図28】第1の実施形態の情報処理装置が印刷情報の読み出し要求を受けたときの処理手順を示すフローチャートである。

【図29】第2の実施形態の情報処理装置において印刷情報の1394アドレス空間へのマッピングを示す図である。

【図30】第2の実施形態の印刷装置が印刷情報を情報処理装置から読み出す処理手順を示すフローチャートである。

【図31】第2の実施形態の情報処理装置が印刷情報の読み出し要求を受けたときの処理手順を示すフローチャートである。

【図32】第3の実施形態のDPPにしたがって印刷情報を印刷装置に送信する際のシーケンスを示す図である。

【図33】第3の実施形態のDPPのデータ転送において情報処理装置からデータ転送を開始する場合のシーケンスを示す図である。

【図34】第3の実施形態のDPPのデータ転送において印刷装置から転送の開始を要求する場合の処理のシーケンスを示す図である。

【図35】第3の実施形態の情報処理装置が印刷情報を出力する処理手順を示すフローチャートである。

【図36】実施形態の情報処理装置において内部状態と

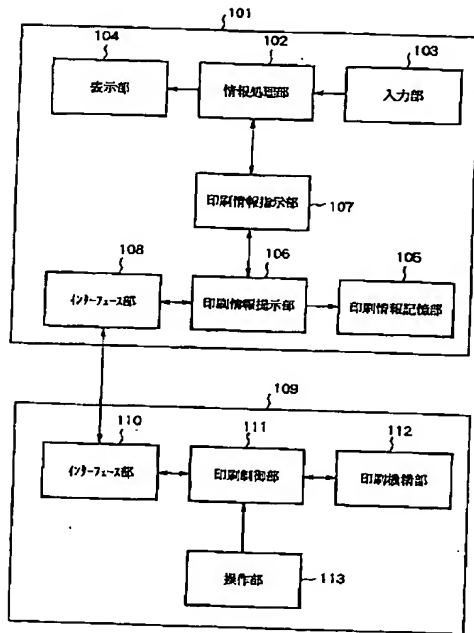
印刷情報との対応を管理するテーブルを示す図である。

【図37】実施形態におけるビデオゲーム機の正面構成を示す図である。

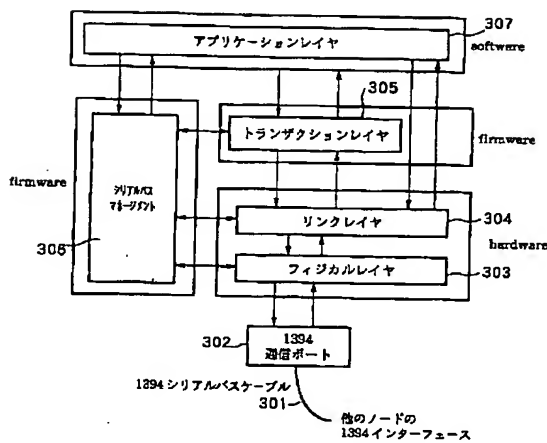
【図38】実施形態における操作装置の接続状態を示す図である。

\*

【図1】



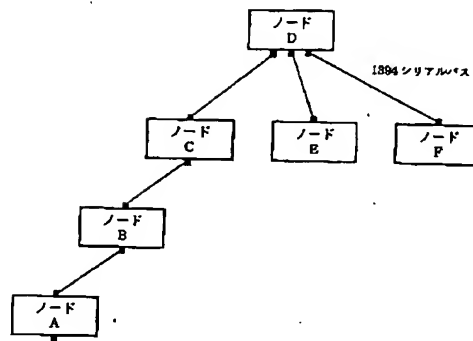
【図3】



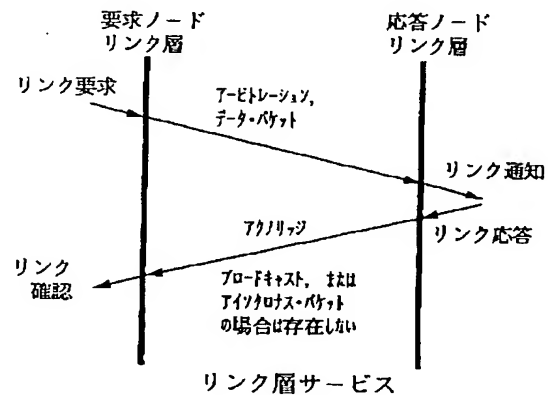
\*【図39】実施形態におけるビデオゲーム機の内部構成を示すブロック図である。

【図40】実施形態における印刷装置の外観を示す図である。

【図2】



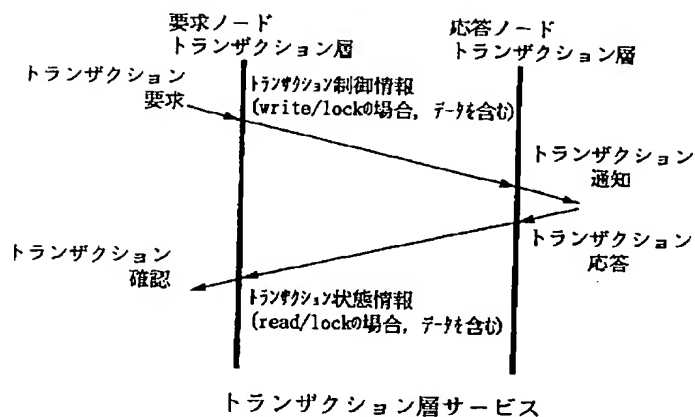
【図4】



【図9】

最小形式の Configuration ROM	
Shifts	24bits
01	ペンダID

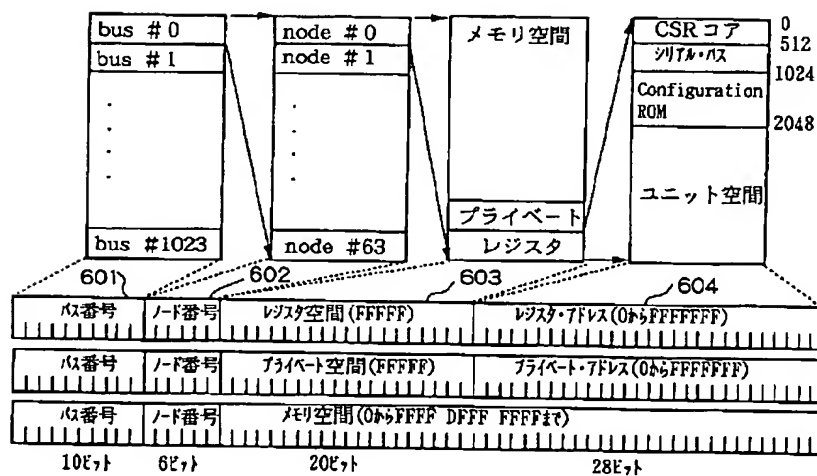
【図5】



【図10】

Bus Info Block Length	ROM Length	CRC	
Bus Info Block			1001
Root Directory			1002
Node dependant info directory			1003
Unit directories			1004
Root & unit leaves			1005
Vendor dependant information			1006

【図6】

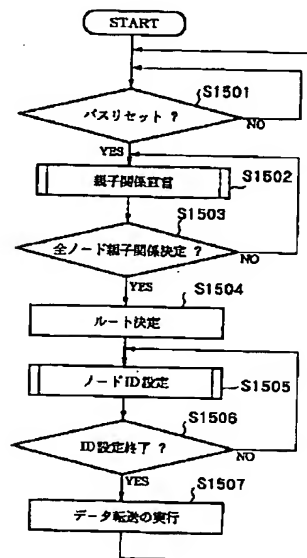


【図18】

1 Quadlet (32bits)											
1801	1802	1803	1804	1805	1806	1807					
2bits	2bits	2bits	2bits	2bits	2bits	2bits					
ノード番号	So	C	Pwr	PO	PI	P2					

最初のクワドレットの論理反転

【図15】

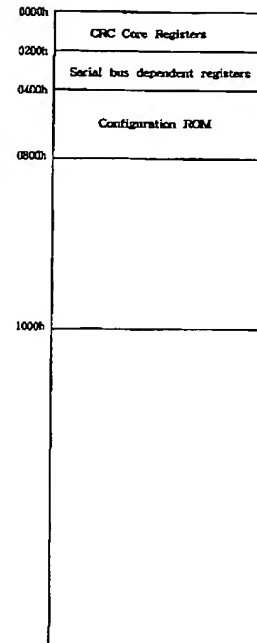


【図7】

CSR コア・レジスタ

オフセット (16進数)	レジスタ名称	機能
000	STATE_CLEAR	状態と制御の情報
004	STATE_SET	STATE_CLEARの書き込み可否を示す情報
008	NODE_IDS	バスID + ノードID
00C	RESET_START	この領域に対する書き込みでバスをリセット
010~014	INDIRECT_ADDRESS, INDIRECT_DATA	1Kより大きいROMをアクセスするためのレジスタ
018~01C	SPLIT_TIMEOUT	スプリット・トランザクションのタイムアウトを検出するタイマの値
020~02C	ARGUMENT, TEST_START, TEST_STATUS	診断用のレジスタ
030~04C	UNITS_BASE, UNITS_BOUND, MEMORY_BASE, MEMORY_BOUND	IEEE1394 では実装しない
050~054	INTERRUPT_TARGET, INTERRUPT_MASK	割り込み通知レジスタ
058~07C	CLOCK_VALUE, CLOCK_TICK_PERIOD, CLOCK_STROBE_ARRIVED, CLOCK_INFO	IEEE1394 では実装しない
080~0FC	MESSAGE_REQUEST, MESSAGE_RESPONSE	メッセージ通知レジスタ
100~17C		予約
180~1FC	ERROR_LOG_BUFFER	IEEE1394 用に予約

【図25】

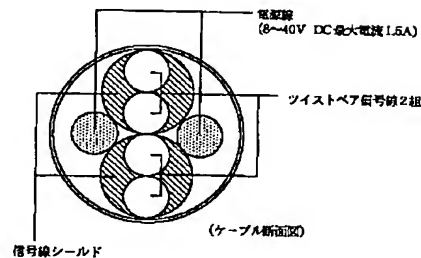


【図11】

シリアル・バス装置レジスタ

オフセット (16進数)	レジスタ名称	機能
800 ↓ 7FC		予約
1000 ↓ 13FC	TOPOLOGY_MAP	シリアル・バスの構成情報
1400 ↓ 17FC		予約
2000 ↓ 23FC	SPEED_MAP	ケーブルの伝送速度の情報
3000 ↓ 33FC		予約

【図12】

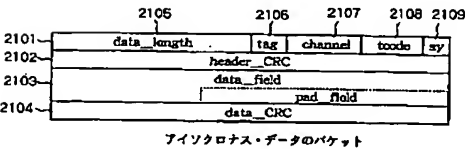


【図8】

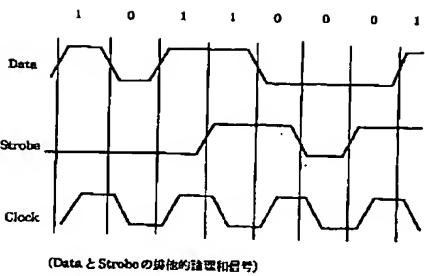
シリアル・バス・レジスタ

オフセット (16進数)	レジスタ名称	機能
200	CYCLE_TIME	アイソクロナス転送のためのカウンタ
204	BUS_TIME	時間を同期するためのレジスタ
208	POWER_FAIL_IMMINENT	電源供給に関するレジスタ
20C	POWER_SOURCE	
210	BUSY_TIMEOUT	トランザクション層の再試行を制御
214 ┆ 218		予約
21C	BUS_MANAGER_ID	バス・マネージャのノード転送
220	BANDWIDTH_AVAILABLE	アイソクロナス転送の帯域を管理
224 ┆ 228	CHANNELS_AVAILABLE	アイソクロナス転送のチャネル番号を管理
22C	MAINT_CONTROL	診断用レジスタ
230	MAINT_UTILITY	
234 ┆ 3FC		予約

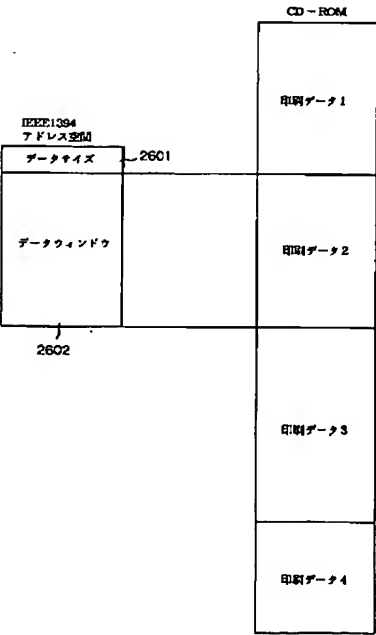
【図21】



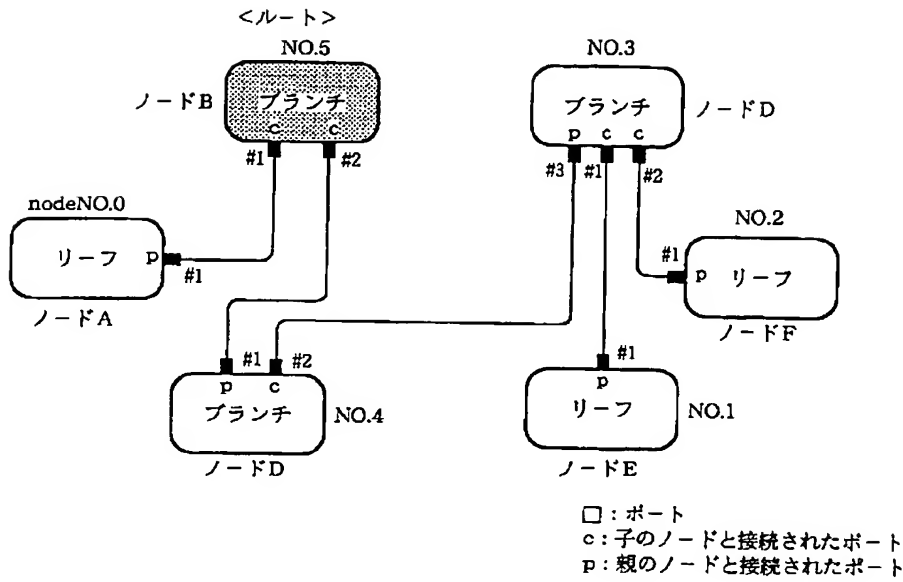
【図13】



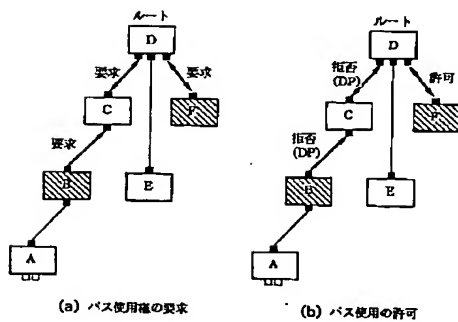
【図26】



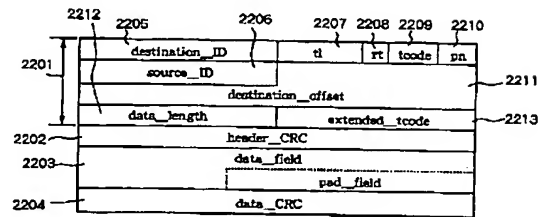
【図14】



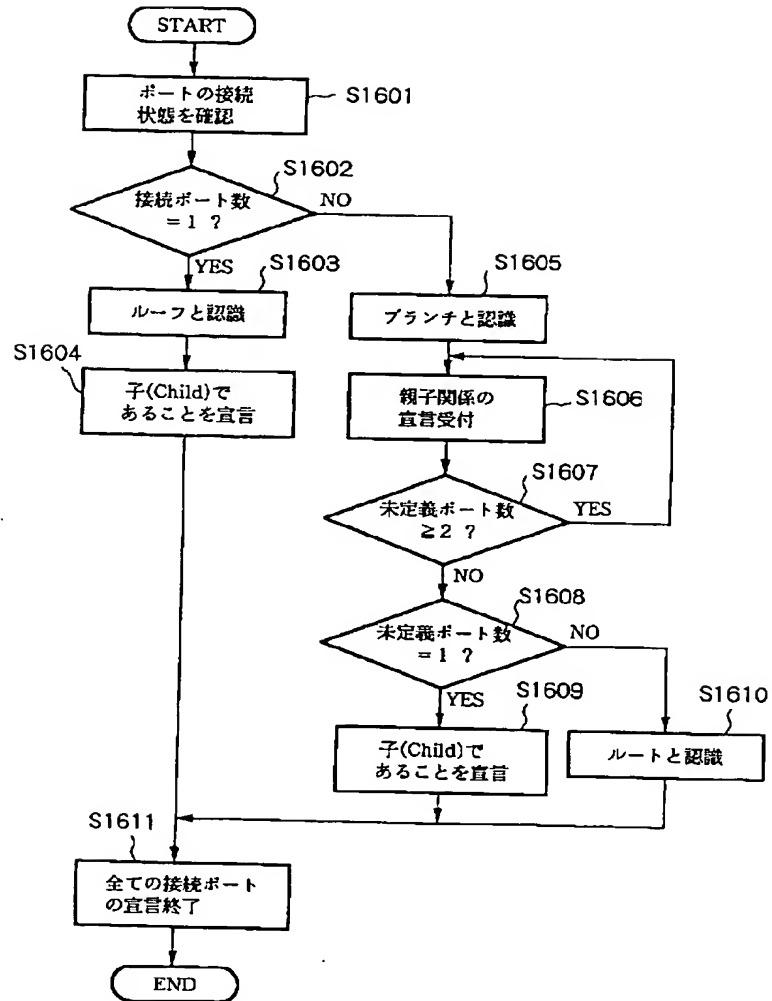
【図19】



【図22】

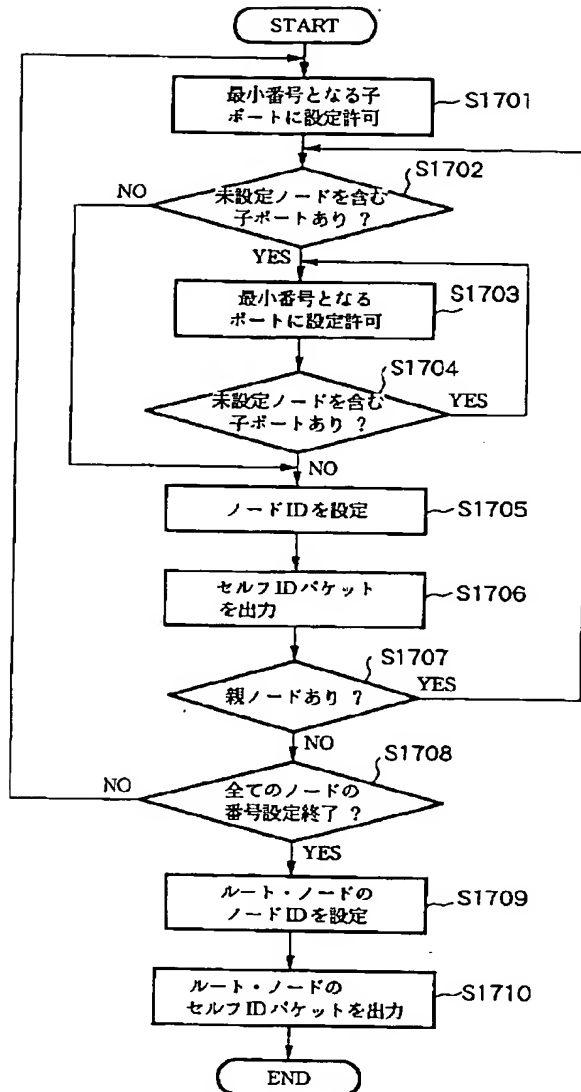


【図16】

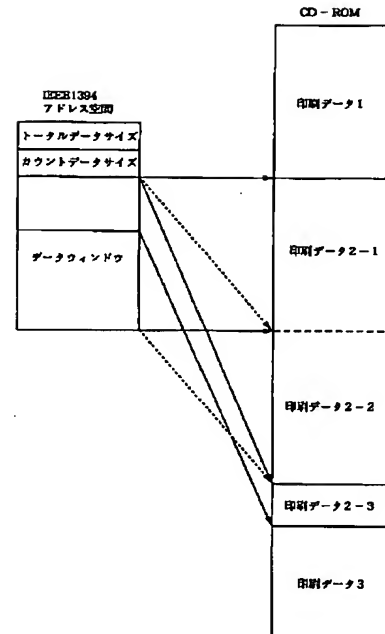




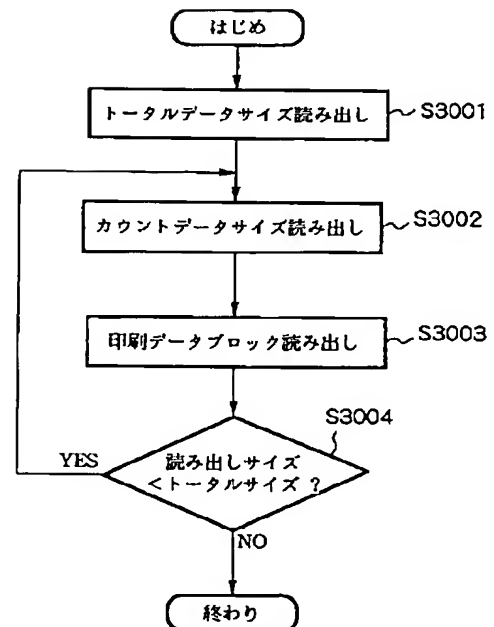
【図17】



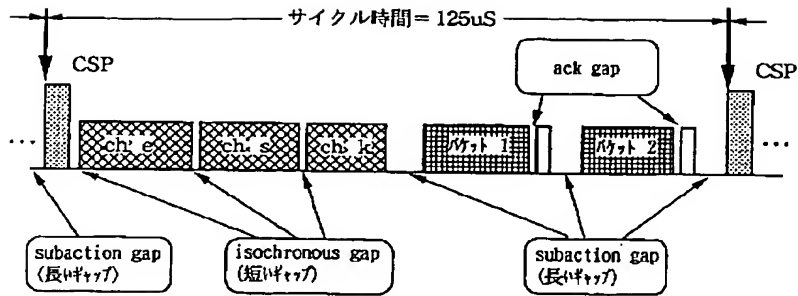
【図29】



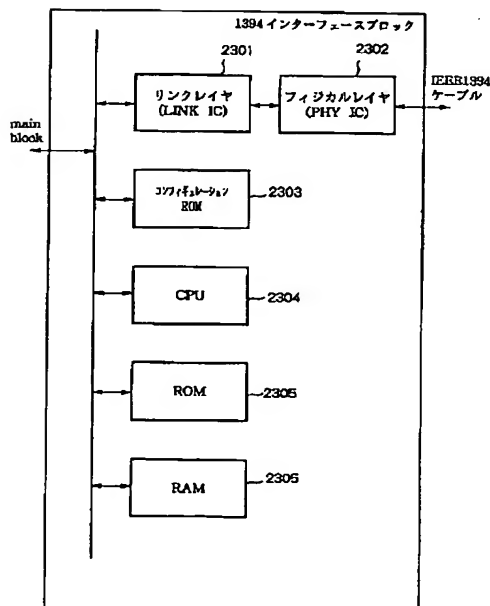
【図30】



【図20】



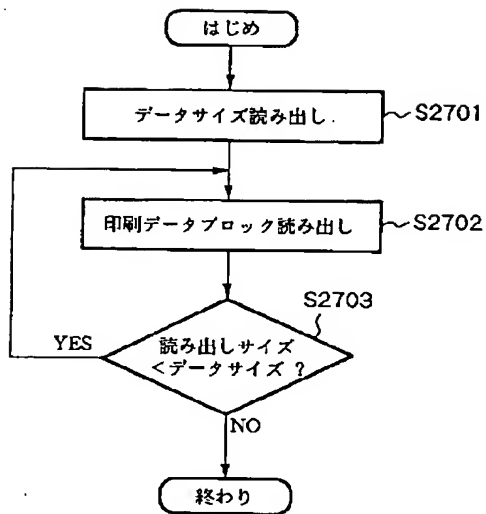
【図23】



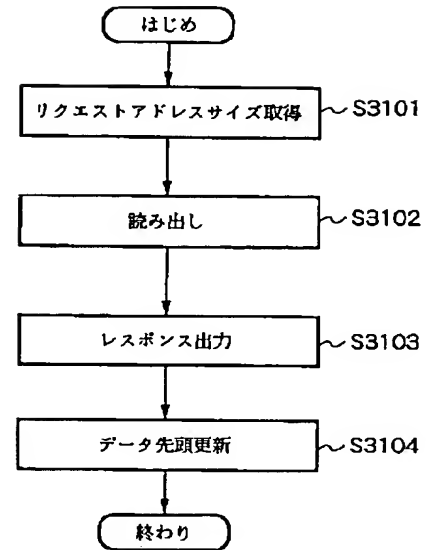
【図24】

Bus Info Block Length	ROM Length	CRC
Bus Info Block		
Root Directory		
Node dependent info directory		
Unit directories		
Instance directory length	CRC_16	
Key	keyword leaf offset	
Key	Unit directory offset	
Key	Feature directory offset	
keyword leaf length	CRC_16	
Keywords		
Unit directories		
Feature director length	CRC_16	
Vendor dependant information		

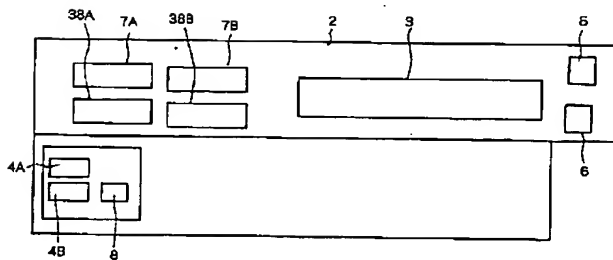
【図27】



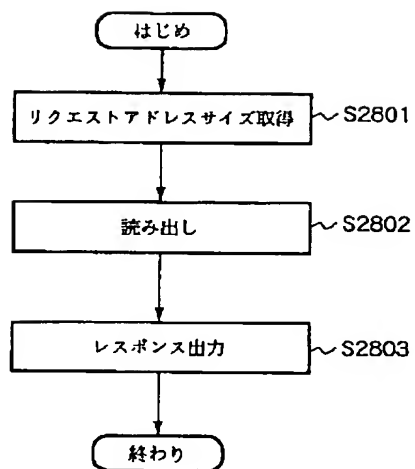
【図31】



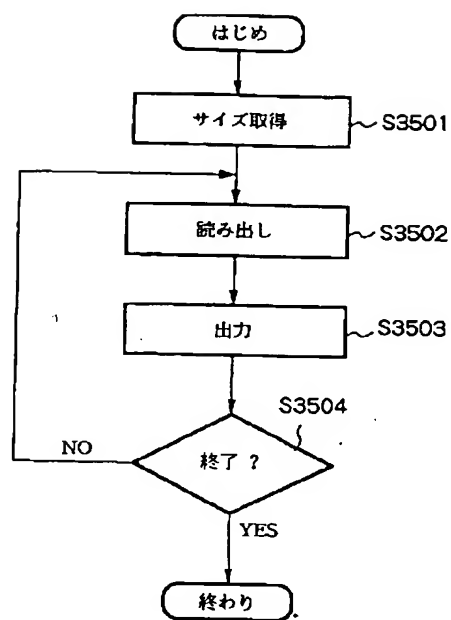
【図37】



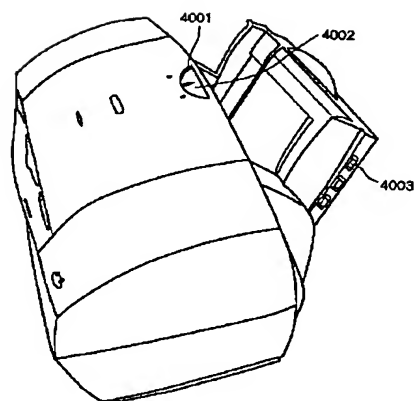
【図 28】



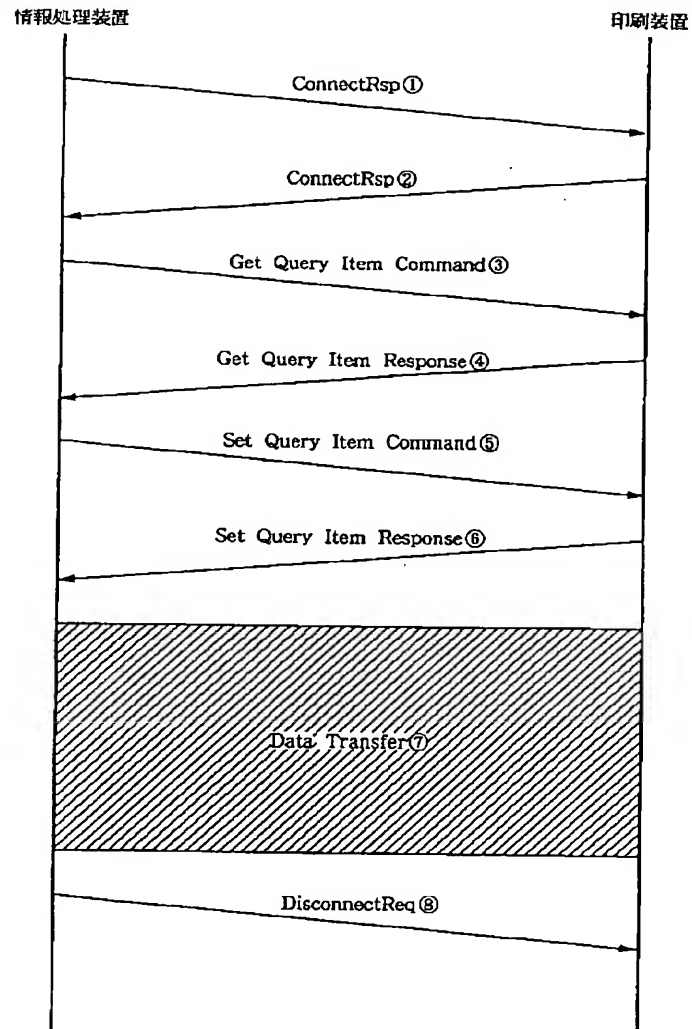
【図 35】



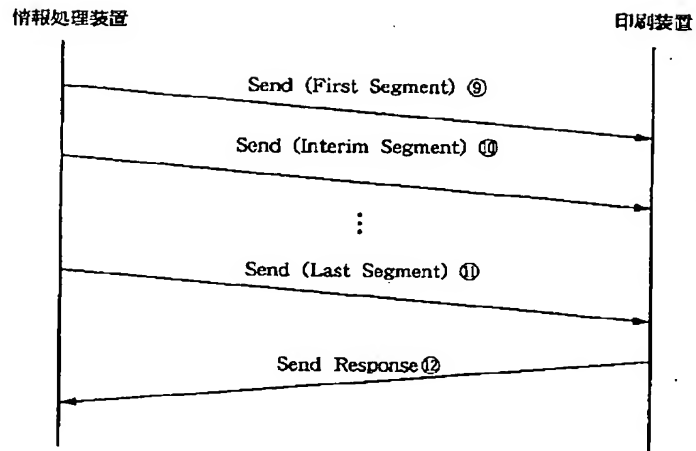
【図 40】



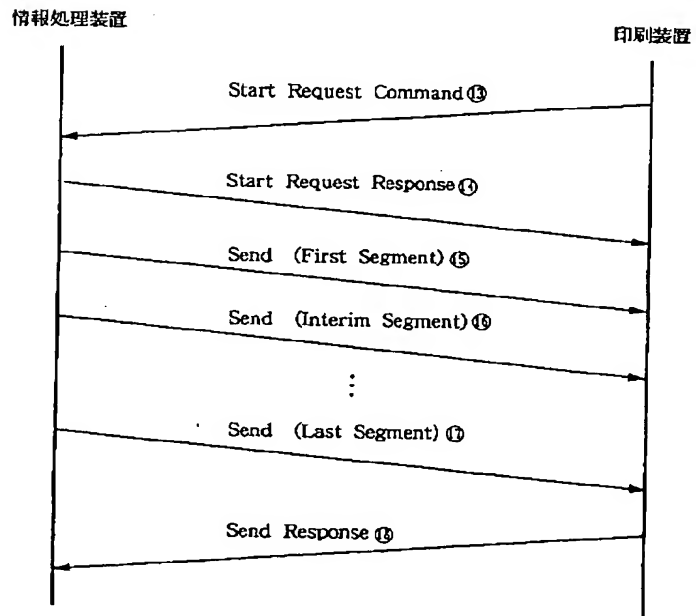
【図32】



【図33】



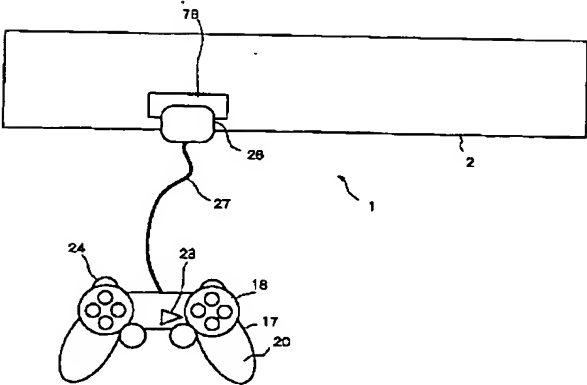
【図34】



【図36】

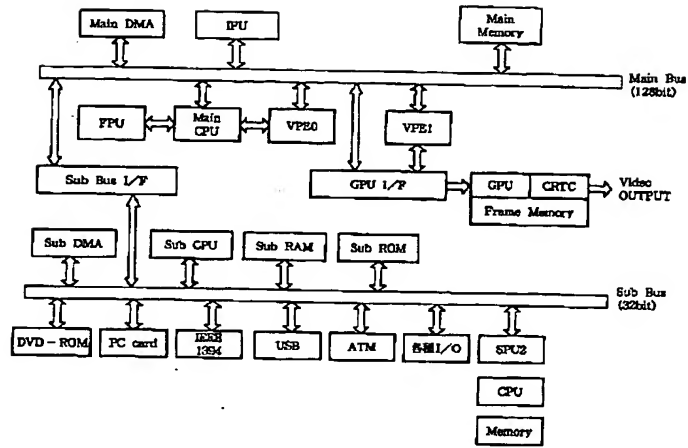
内部状態1	印刷状態1
⋮	⋮
内部状態m	印刷状態n
⋮	⋮

【図38】





【図39】



\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

Bibliography

---

(19) [Country of Issue] Japan Patent Office (JP)

(12) [Official Gazette Type] Open patent official report (A)

(11) [Publication No.] JP,2003-84924,A (P2003-84924A)

(43) [Date of Publication] March 20, Heisei 15 (2003. 3.20)

(54) [Title of the Invention] Information processing system, an information processor, its control method, and a storage

(51) [The 7th edition of International Patent Classification]

G06F 3/12

[FI]

G06F 3/12 A

[Request for Examination] Un-asking.

[The number of claims] 9

[Mode of Application] OL

[Number of Pages] 30

(21) [Filing Number] Application for patent. 2001-274066 (P2001-274066)

(22) [Filing Date] September 10, Heisei 13 (2001. 9.10)

(71) [Applicant]

[Identification Number] 000001007

[Name] Canon, Inc.

[Address] 3-30-2, Shimo-maruko, Ota-ku, Tokyo

(72) [Inventor(s)]

[Name] Katano \*\*

[Address] 3-30-2, Shimo-maruko, Ota-ku, Tokyo Inside of Canon, Inc.

(74) [Attorney]

[Identification Number] 100076428

[Patent Attorney]

[Name] Otsuka Yasunari (besides three persons)

[Theme code (reference)]

5B021

[F term (reference)]

5B021 AA01 BB02

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

Summary

---

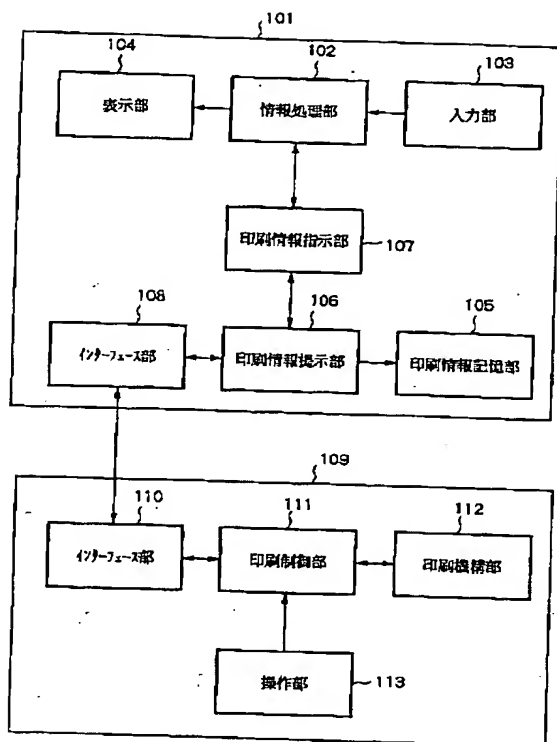
(57) [Abstract]

[Technical problem] In the information processor which performs main processing, it makes it possible to realize printing processing in the state with few loads.

[Means for Solution] The information which shows which becomes the information which serves as a candidate for an output according to a printing state to an information processor 101 is memorized in the printed information storage section 105. When there are predetermined directions from the printer 109 connected with an IEEE1394 interface, an information processor 101 looks for the information which should be outputted according to the state at that time from the printed information storage section 105, assigns it to the memory map of IEEE1394, and makes it print by enabling it to lead from a printer side.

---

[Translation done.]



[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Information processing system characterized by providing the following. It is the storage means which carries out storage maintenance of the information from which it is the information processing system which connects the output unit which receives and carries out output processing of the data from the information processor which performs main predetermined processing, and the information processor concerned by general-purpose serial interface, and the aforementioned

information processor serves as a candidate for an output according to an own internal state and the own internal state concerned. A search means to search the information for an output memorized by this storage means according to the state of an information processor. It is a printing means to be equipped with a means to output the information searched with this search means through the aforementioned general-purpose serial interface to the aforementioned output unit, and to print the aforementioned output means based on the information outputted through the aforementioned general-purpose serial interface.

[Claim 2] The aforementioned general-purpose serial interface is information processing system given in the 1st term of a claim characterized by being an IEEE1394 interface.

[Claim 3] The printout in the aforementioned output unit is information processing system given in the 1st term of a claim or the 2nd term which is publishing a lead transaction to the aforementioned information processor through the aforementioned general interface when there are directions from the control unit prepared in the output unit concerned, and is characterized by being carried out.

[Claim 4] The aforementioned information processor is information processing system given in any 1 term of the 1st term of a claim characterized by being a video game machine, or the 3rd term.

[Claim 5] The information processor which is connected with a printer and performs main predetermined processing through the predetermined general-purpose serial interface characterized by providing the following. The storage means which carries out storage maintenance of the information which serves as a candidate for an output according to an internal state and the internal state concerned. A search means to search the information for an output memorized by this storage means according to the state of an information processor. A means to output the information searched with this search means through the aforementioned general-purpose serial interface to the aforementioned printer.

[Claim 6] The aforementioned general-purpose serial interface is an information processor given in the 5th term of a claim characterized by being an IEEE1394 interface.

[Claim 7] The aforementioned information processor is an information processor given in the 5th term of a claim or the 6th term characterized by being a video game machine.

[Claim 8] The control method of an information processor characterized by providing the following of connecting with a printer and performing main predetermined processing through predetermined general-purpose serial interface. The storage process which carries out storage maintenance of the information which serves as a candidate for an output according to an internal state and the internal state concerned. The search process which searches the information for an output memorized according to this storage process according to the state of an information processor. The process which outputs the information searched at this

search process through the aforementioned general-purpose serial interface to the aforementioned printer

[Claim 9] It connects with a printer through predetermined general-purpose serial interface. The field which carries out storage maintenance of the information which is the storage which stores the program which functions as an information processor which performs main predetermined processing, and serves as a candidate for an output according to an internal state and the internal state concerned, The program code of the search process which searches the information for an output memorized to the aforementioned field according to the state of an information processor, The storage characterized by storing the program code of the process which outputs the information searched at this search process through the aforementioned general-purpose serial interface to the aforementioned printer.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to information processing system, an information processor, its control method, and a storage.

[0002]

[Description of the Prior Art] In printing in an information processor conventionally, an operator specifies the information used as the candidate for printing, and performs printing directions. With software, such as a printer driver, the information processor was changed into the information which a printer can interpret, and through the interface, the specified information was outputted to the printer and it was printing it.

[0003]

[Problem(s) to be Solved by the Invention] In the information processor only handling the application with which a use like a video game machine was limited

comparatively, the candidate for printing in the state and state of processing at the time of [ a certain ] processing is matched with 1 to 1 in many cases. When such, operation of specifying the candidate for printing using an input unit like the operation pad of a game machine will become very complicated, and enlarges an operator's burden. Moreover, when the load of the processing which changes the candidate for printing into the information which a printer interprets was large and it was going to continue the game during printing, operation produced un-arranging, such as becoming late.

[0004] Then, this invention tends to offer the information processing system which realizes printing processing in the state with few loads, an information processor, its control method, and a storage in the information processor which performs such main processing.

[0005]

[Means for Solving the Problem] In order to solve this technical problem, the information processing system of this invention is equipped with the following composition. Namely, it is the information processing system which connects the output unit which receives and carries out output processing of the data from the information processor which performs main predetermined processing, and the information processor concerned by general-purpose serial interface. The storage means which carries out storage maintenance of the information from which the aforementioned information processor serves as a candidate for an output according to an own internal state and the own internal state concerned, A search means to search the information for an output memorized by this storage means according to the state of an information processor, It has a means to output the information searched with this search means through the aforementioned general-purpose serial interface to the aforementioned output unit, and the aforementioned output means is equipped with a printing means to print based on the information outputted through the aforementioned general-purpose serial interface.

[0006]

[Embodiments of the Invention] Hereafter, the operation form which starts this invention according to an accompanying drawing is explained in detail.

[0007] Drawing 1 is a system configuration view in an operation form. Among drawing, 101 are an information processor which an operation form applies, and consist of the information processing section 102, the input section 103, a display 104, the printed information storage section 105, the printed information presentation section 106, the printed information directions section 107, and the interface section 108. Moreover, 109 is a printer which an operation form applies and consists of the interface section 110, the printing control section 111, the printing machine rear 112, and a control unit 113.

[0008] This operation form explains the example applied to the video game machine as an information processor 101.

[0009] Drawing 37 or drawing 38 expresses the example of composition of the video



game machine with which the summary of this operation form is carried out. As shown in these drawings, the video game machine 1 (it corresponds to an information processor 101) is fundamentally constituted by the operating set 17 connected with the main part 2 of a game machine through the cable 27 to the main part 2 of a game machine. The disk wearing section 3 of electric drawing-in type tray-loading is formed in the front section of the main part 2 of a game machine, and it is equipped with CD-ROM, DVD-ROM, or the media (un-illustrating) that can be written in the interior. The electric power switch 5 operated when the power supply of equipment turned [ "turning on" ] on or "is turned off" off is formed in the right-hand side upper part of the disk wearing section 3. Moreover, the disk operation switch 6 operated when detaching and attaching various media to the disk wearing section 3 is formed in the right-hand side lower part of the disk wearing section 3.

[0010] Connections 7A and 7B are formed in the transverse plane of the main part 2 of a game machine. It is made by these connections 7A or 7B as [ connect / , respectively / with the connection terminal area 26 connected through the cable 27 to the operating set 17 / it ]. That is, it is made as [ connect / two sets of operating sets 17 / to this main part 2 of a game machine ].

[0011] As for the slot which can equip with the recording device which mainly consists of memory card etc., 38A and two 38 B are prepared.

[0012] As for the USB boat, two boats of 4A and 4B are formed in the main part of game machine 2 lower-left section. Moreover, IEEE1394 port8 with the data transfer capacity of 400 Mbit/sec is 1 port \*\*\*\*\* on the right-hand side of [ of the main part of game machine 2 lower-left section ] USB 4A and 4B. In addition, although not illustrated, the connectable PC-card (PCMCIA TypeIII) slot and the optical digital-output port of an exclusive adapter etc. for communication facility are prepared.

[0013] The connection terminal area 26 is connected to right-hand side connection 7B, and the state where left-hand side connection 7A is not equipped with the connection terminal area 26 is shown in drawing 38 .

[0014] The supporter 20 grasped by the hand on either side by the operating set 17 is formed in right and left, and the control unit 24 is formed at the nose of cam of a supporter 20 at right and left. Moreover, the control unit 18 is formed in right and left on the upper surface of a supporter 20. A control unit 24 is operated by the index finger of a hand on either side, and a control unit 18 is the thumb of a hand on either side, and is operated, respectively.

[0015] Between the control units 18 on either side, the start switch 23 operated when starting the selection switch (un-illustrating) and game which are operated when performing selection operation into a game is formed.

[0016] Drawing 39 expresses the example of a internal structure of the main part 2 of a game machine. MainCPU performs various kinds of processings through 128-bit MainBus. As two vector operation engines, VPE0 (Vector Processing Engine 0) and VPE1 were connected to this 128-bit MainBus, and IPU (ImageProcessingUnit) has

also connected with it.

[0017] The core of MainCPU consists of two integer-arithmetic units (Integer Unit), a floating point arithmetic unit (FPU: Floating Point Unit), two or more cache memories, etc.

[0018] Mainly, as a co-processor of MainCPU, VPE0 is used in order that VPE1 may perform various calculation [ graphics ], for example, it calculates coordinate transformation, light source calculation, generation of a transparent transformation curved surface, etc. to the operation demand from MainCPU.

[0019] IPU is an operation engine mainly used for decoding (data extension) of MPEG-2. Since data increase sharply after decoding, in order to prevent pressure of MainBus at the time of data transfer, a mechanism which compresses data in an instant and is passed to VPE1 is constituted. In an image-processing unit, conversion and the vector quantization of a color space are also performed in addition to decoding of MPEG-2.

[0020] The compressed data transmitted through MainBus is thawed by the instant defrosting mechanism in VPE1.

[0021] I/F Unit to Main Memory and MainDMA (Direct Memory Access Controller) which consist of RAM (Random Access Memory) besides arithmetic units, such as MainCPU, and GPU (Graphic Processing Unit) as a rendering processor is connected to MainBus.

[0022] DirectRDRAM (RAMbusDRAM) is used for Main Memory and various kinds of programs, data, etc. are memorized suitably.

[0023] MainDMA does the work which passes the data on Main Memory to GPUI/F through 128-bit MainBus.

[0024] Although a graphic synthesizer function will exist by the time it inputs and carries out the video outlet of the data from GPUI/F, composition consists of CRTC(s) (CRT Controller) which take charge of GPU which takes charge of drawing of a graphic, or a display display.

[0025] GPU interprets the drawing instruction supplied from the AMPA blanket processing by PKE (Programable Packet Engine), the operation part which processes data corresponding to a program, and operation part, and consists of the drawing sections which perform processing (rendering processing) which writes pixel data in Frame Memory from Z value showing the color data and depth of a vertex in consideration of all the pixels and colors that constitute a polygon (fundamental unit-hydrograph forms, such as a triangle and a square).

[0026] In addition to NTSC (National Television Standards Committee) and PAL (Phase Alternation by Line) which are the present television method, the output to the display of CRTC corresponds to DTV (Digital television). A screen size is 1280\*1024 dots at the maximum.

[0027] From MainBus, it is a low speed, and SubBus whose Bus is 32 bits relays MainBus and SubBus I/F, and is connected. SubCPU as an I/O processor for controlling various input/output interfaces is prepared in SubBus. SubRAM, SubROM,

and SubDMA are constituted as an operating environment of SubCPU, and the exchange with various I/O is performed.

[0028] Next, the fundamental operation is explained.

[0029] Corresponding to operation of an operating set 17, SubCPU controls a DVD-ROM drive, reproduces DVD-ROM, and makes SubMemory memorize reproduction data. The DMA transfer of this is carried out to MainMemory through SubBusI/F. MainCPU calculates by reading the data of MainMemory. 3 dimensional models which should be displayed on CRT as a combination of a polygon based on this result are defined. And the drawing instruction corresponding to each polygon for drawing a 3-dimensional picture is created, and it transmits to GPU by making this drawing instruction into a command packet.

[0030] In GPU, a drawing instruction is unpacked and it memorizes to local memory. GPU interprets this drawing instruction and creates the instruction which carries out interpolation generation of the middle peak from the peak of a polygon, and draws a polygon. In consideration of Z value which shows the color data and depth of the peak of a polygon corresponding to this drawing instruction, rendering processing which draws pixel data to Frame Memory is performed.

[0031] The drawing section reads the pixel data drawn by Frame Memory again, and is made to output and display them on CRT through CRTC.

[0032] In this operation gestalt, the information processing section 102, the printed information presentation section 106, and the printed information directions section 107 are constituted by CPU and memory of the main part of a video game machine, read into memory the program stored in CD-ROM or DVD-ROM, and are performed. Moreover, the printed information storage section 105 is constituted by the DVD-ROM drive of the main part of a video game machine, and the printed information which can interpret a printer is stored in CD-ROM or DVD-ROM.

[0033] Next, IEEE1394 used as an external interface in this operation form is explained.

[0034] The technology of IEEE1394-1995 specification applied to the digital interface of this operation form is explained briefly below <the outline of the technology of IEEE1394>. In addition, the detail about IEEE1394-1995 specification (henceforth, IEEE1394 specification) is described by "IEEE Standard for a High Performance Serial Bus" published from IEEE (The Institute of Electrical and Electronics Engineers, Inc.) on August 30, 1996.

[0035] (1) An example of the communication system (the following and 1394 network) constituted by the node possessing the digital interface (the following and 1394 interface) based on IEEE1394 specification is shown in a schematic diagram 2. 1394 networks constitute the bus type network which can communicate serial data.

[0036] In drawing 2, each node A-H is connected through the telecommunication cable based on IEEE1394 specification. Such node A-H is electronic equipment, such as PC (Personal Computer), digital VTR (Video Tape Recorder), a DVD (Digital Video Disc) player, a digital camera, a hard disk, and a monitor.

[0037] The connection method of 1394 networks corresponds to a daisy chain method and node multipoint system, and is enabling high connection of flexibility.

[0038] Moreover, in 1394 networks, when delete the existing device, a new device is added or ON/OFF of the power supply of the existing device is carried out for example, bus reset is performed automatically. By performing this bus reset, 1394 networks can perform automatically recognition of new connection composition, and assignment of ID information to each device. By this function, 1394 networks can always recognize the connection composition of a network. Moreover, 1394 networks have the function to relay the data transmitted from other devices. By this function, all devices can grasp the situation of a bus of operation. Moreover, 1394 networks have the function called Plug & Play. By this function, a connection device can be automatically recognized only by connecting, without turning OFF the power supply of all devices.

[0039] Moreover, 1394 networks correspond to the data transfer rate of 100/200/400Mbps. Since the device with the data transfer rate of a high order can support a low-ranking data transfer rate, it can connect the devices corresponding to a different data transfer rate. Furthermore, 1394 networks correspond to two different data transfer methods (namely, Asynchronous transfer mode and Isochronous transfer mode).

[0040] Asynchronous transfer mode is effective in case transmitting asynchronously if needed transmits the data (namely, a control signal, file data, etc.) demanded. Moreover, Isochronous transfer mode is effective in case transmitting the data of the specified quantity continuously by the fixed data rate transmits the data (namely, a video data, audio data, etc.) demanded.

[0041] As for Asynchronous transfer mode and Isochronous transfer mode, it is possible for you to make it intermingled in each communication cycle (for 1 cycle to be usually 125microS). Each transfer mode is performed after a transfer of the cycle-start packet (following, CSP) which shows the start of a cycle. In addition, in each communication cycle period, as for Isochronous transfer mode, priority is highly set up rather than Asynchronous transfer mode. Moreover, the transfer band in Isochronous transfer mode is guaranteed within each communication cycle.

(2) Use drawing 3 for architecture and explain the component of 1394 interfaces to it. 1394 interfaces consist of two or more layers (hierarchy) functionally. In drawing 3, 1394 interfaces are connected with 1394 interfaces of other nodes through the telecommunication cable 301 based on IEEE1394 specification. Moreover, 1394 interfaces have one or more communication ports 302, and the communication port 302 is connected with the physical layer 303 contained in the hardware section.

[0042] In drawing 3, the hardware section consists of a physical layer 303 and a link layer 304. A physical layer 303 performs detection of a physical and electric interface with other nodes, and bus reset, the processing accompanying it, coding/decryption of an I/O signal, mediation of a bus royalty, etc. Moreover, the link layer 304 performs generation of a communication packet, transmission and

reception, control of a cycle timer, etc.

[0043] Moreover, in drawing 3, the firmware section includes the transaction layer 305 and the serial bus management 306. The transaction layer 305 manages Asynchronous transfer mode, and offers various kinds of transactions (a lead, a light, lock). The serial bus management 306 offers the function to perform control of a self-node, management of the connection state of a self-node, management of ID information on a self-node, and the resource management of a serial bus network, based on the CSR architecture mentioned later.

[0044] As mentioned above, the hardware section and the firmware section constitute 1394 interfaces substantially, and those basic composition is specified by IEEE1394 specification. Moreover, it controls how the application layer 307 contained in the software section changes with application software to be used, and communicates data on a network. For example, in the case of the dynamic-image data of digital VTR, it is prescribed by communications protocols, such as a AV/C protocol.

[0045] (2-1) Link layer 304 drawing 4 is drawing showing the service which can offer the link layer 304. In drawing 4, the link layer 304 offers the following four services. That is, they are the link demand (LK\_DATA.request) which requires a transfer of a predetermined packet from \*\* response node, the notice of a link (LK\_DATA.indication) which notifies reception of a predetermined packet to \*\* response node, the link response (LK\_DATA.response) which shows that the acknowledgement from \*\* response node was received, and the link check (LK\_DATA.confirmation) which checks the acknowledgement from \*\* demand node. In addition, in a transfer of broadcasting communication and an Isochronous packet, a link response (LK\_DATA.response) does not exist.

[0046] Moreover, the link layer 304 realizes two kinds of above-mentioned transmittal modes, i.e., Asynchronous transfer mode, and Isochronous transfer mode based on above-mentioned service.

[0047] (2-2) Transaction layer 305 drawing 5 is drawing showing the service which can offer the transaction layer 305. In drawing 5, the transaction layer 305 offers the following four services. That is, they are the transaction request (TR\_DATA.request) which requires a predetermined transaction from \*\* response node, the notice of a transaction (TR\_DATA.indication) which notifies reception of a predetermined transaction request to \*\* response node, the transaction response (TR\_DATA.respomse) which shows that the status information (data are included in a light and a lock) from \*\* response node was received, and the transaction check (TR\_DATA.confirmation) which checks the status information from \*\* demand node.

[0048] Moreover, the transaction layer 305 manages an Asynchronous transfer based on above-mentioned service, and realizes three kinds of following transactions, i.e., \*\* lead transaction, \*\* light transaction, and \*\* lock transaction.

\*\* A lead transaction reads the information for which the demand node was stored in the specific address of a response node.

**\*\* A light transaction writes in the information on predetermined [ to the specific address of a response node ] in a demand node.**

**\*\* A demand node transmits reference data and updating data to a response node, and a lock transaction compares the information and its reference data of the specific address of a response node, and updates the information on the specific address to updating data according to the comparison result.**

[0049] (2-3) The serial bus management 306 serial bus management 306 can offer the following three functions concretely. They are three functions, i.e., **\*\* node control**, **\*\* isochronous resource manager (following, IRM)**, and **\*\* bus manager**.

**\*\* Node control** offers the function to manage each above-mentioned layer and to manage the Asynchronous transfer performed among other nodes.

**\*\* IRM** offers the function to manage the Isochronous transfer performed among other nodes. Specifically, information required for assignment of transfer bandwidth and a channel number is managed, and these information is offered to other nodes. On a local bus, IRM recognizes only existence and is dynamically elected for every bus reset from other candidates (node which has the function of IRM). Moreover, IRM may offer a part of functions (management of connection composition, power supply management, management of speed information, etc.) which the below-mentioned bus manager can offer.

**\*\* A bus manager** has the function of IRM and offers a bus function manager more advanced than IRM. Concrete more advanced power supply management (information -- whether supply of a power supply is required in whether supply of a power supply is possible -- is managed for every node through a telecommunication cable), management (management of the maximum transfer rate between each node) of more advanced speed information, the optimization of a bus based on managements (creation of a topology map) of more advanced connection composition and such management information, etc. are performed, and it has the function to provide other nodes with these information further.

[0050] Moreover, a bus manager can offer the service for controlling a serial bus network to application. Here, service has a serial bus control demand (SB\_CONTROL.request), a serial bus event control check (SB\_CONTROL.confirmation), the notice of a serial bus event (SB\_CONTROL.indication), etc.

[0051] SB\_CONTROL.request is service as which application requires bus reset.

[0052] SB\_CONTROL.confirmation is service which checks SB\_CONTROL.request to application. SB\_CONTROL.indication is service which notifies the event generated asynchronously to application.

[0053] (3) Addressing drawing 6 is drawing explaining the address space in 1394 interfaces. In addition, 1394 interfaces have specified the address space of 64-bit width of face according to the CSR (Command and Status Register) architecture according to ISO/IEC 13213:1994.

[0054] In drawing 6, the first 10-bit field 601 is used for the identification number

which specifies a predetermined bus, and the 6-bit field 602 as follows is used for the identification number which specifies a predetermined device (node). Calling 16 bits of grades "node ID" besides, each node discriminates other nodes by this node ID. Moreover, each node can perform communication which discriminated the partner using this node ID.

[0055] The field which consists of the remaining 48 bits specifies the address space (256-M byte structure) which each node possesses. The 20-bit field 603 of them specifies two or more fields which constitute an address space.

[0056] In the field 603, the portion of "0 - 0xFFFFD" is called room. The portion of "0xFFFFE" is the address which it is called private space and can be freely used by each node. Moreover, the portion of "0xFFFFF" is called register space and stores common information between the nodes connected to the bus. Each node can manage communication of each node question by using the information on register space. The last 28-bit field 604 specifies the address in which community or the information which becomes peculiar is stored in each node. For example, in register space, 512 bytes of the beginning are used for the core (CSR core) registers of CSR architecture. The informational address and the informational function which are stored in a CSR core register are shown in drawing 7. The offset in drawing is a relative position from "0xFFFFF0000000."

[0057] The following 512 bytes are used as a register for serial buses. The informational address and the informational function which are stored in a serial bus register are shown in drawing 8. The offset in drawing is a relative position from "0xFFFFF0000200."

[0058] The following 1024 bytes are used for ConfigurationROM.

[0059] There are the minimum form and general format in ConfigurationROM, and it is arranged from "0xFFFFF0000400." ConfigurationROM of the minimum form is shown in drawing 9. In drawing 9, Vender ID is the numeric value of 24 bits assigned by IEEE peculiar to each vender. Moreover, ConfigurationROM of general format is shown in drawing 10. The above-mentioned vender ID is stored in Root Directory1002 in drawing 10. It is possible to hold node unique ID in BusInfoBlock1001 and RootLeaf1005 as peculiar ID information which discriminates each node.

[0060] Here, node unique ID is not concerned with a maker and a model, but defines peculiar ID which can specify one node. Node unique ID is constituted by 64 bits, 24 bits of high orders show the above-mentioned vender ID, and 48 bits of low ranks show the information (for example, serial number of a node etc.) which can be set up freely in the maker who manufactures each node. In addition, this node unique ID is used, when continuing before and after for example, bus reset and recognizing a specific node.

[0061] Moreover, in drawing 10, it is possible to hold the information about the fundamental function of a node to Root Directory1002. Detailed functional information is stored in the subdirectory (Unit Directories1004) offset from Root

Directory1002. The information about the software unit which a node supports is stored in Unit Directories1004. The information about the commands set which specifically defines the data transfer protocol for performing data communication between nodes and a predetermined communication procedure is held.

[0062] Moreover, in drawing 10, it is possible to hold information peculiar to a device to Node Dependent Info Directory1003. Node Dependent Info Directory1003 is offset by Root Directory1002.

[0063] Furthermore, it can set to drawing 10 and the information peculiar to a vender which manufactures or sells a node can be held to Vendor Dependent Information1006.

[0064] The remaining fields are called unit space and specify the address in which information (a company name, model name, etc.) peculiar to each node, for example, the identification information of each device, the service condition, etc. were stored. The informational address and the informational function which are stored in the serial bus equipment register of unit space are shown in drawing 11. The offset in drawing is a relative position from "0xFFFFF0000800."

[0065] In addition, generally only the first 2048 bytes of register space should be used for each node to simplify the design of a bus system of a different kind. That is, it is desirable to constitute from 2048 bytes the first 4096 bytes in all of a CSR core register, a serial bus register, ConfigurationROM, and unit space.

[0066] (4) The cross section of the telecommunication cable based on IEEE1394 specification is shown in the block diagram 12 of a telecommunication cable.

[0067] The telecommunication cable is constituted by 2 sets of twisted pair signal lines, and the power supply line. By preparing a power supply line, 1394 interfaces can supply power to the device used as OFF of a main power supply, the device which carried out lowering of electric power by failure. In addition, 8-40V, and current are specified for the voltage of the power supply which flows the inside of a power supply line as maximum-current DC1.5A.

[0068] The information signal encoded by the DS-Link (Data/StrobeLink) coding method is transmitted to 2 sets of twisted pair signal lines. Drawing 13 is drawing explaining a DS-Link coding method.

[0069] This DS-Link coding method is suitable for high-speed serial data communication, and the composition needs the twisted pair line from 2 sets'. The twisted pair line sends a data signal and the twisted pair line has from others' the composition of sending a strobe signal from the lot's. A receiving side can reproduce a clock by taking the exclusive OR of the data signal and strobe signal which received from 2 sets of signal lines. In addition, there are the following advantages in 1394 interfaces by using a DS-Link coding method, for example. \*\* others -- compared with a coding method, a transfer efficiency is high \*\* A PLL circuit becomes unnecessary and the circuit scale of Controller LSI can be made small. \*\* Since there is no need of sending the information which shows that it is an idle state, it is easy to make a transceiver circuit into a sleep state, and reduction of power



consumption can be aimed at.

[0070] (5) It is automatically detectable that change produced 1394 interfaces of bus reset each node in the connection composition of a network. In this case, 1394 networks perform processing called bus reset by the procedure shown below. In addition, change is detectable in connection composition with change of the communication port which each node possesses, or the bias voltage to cut.

[0071] The node which detected change (for example, change in the number of nodes by ON/OFF of the insert and remove of a node and the power supply of a node etc.) of the connection composition of a network, or the node with the need of recognizing new connection composition transmits a bus reset signal on a bus through 1394 interfaces.

[0072] 1394 interfaces of the node which received the bus reset signal transmit the bus reset signal to other nodes while transmitting generating of bus reset to the own link layer 304. The node which received the bus reset signal makes a clearance the node ID assigned to the connection composition and each device of a network which were recognized until now. After all nodes finally detect a bus reset signal, each node performs automatically initialization processing (namely, recognition of new connection composition and assignment of the new node ID) accompanying bus reset.

[0073] In addition, as for bus reset, it is possible to also make it start, when the application layer 307 other than starting by change of connection composition which was described previously issues a direct instruction to a physical layer 303 by control by the side of a host.

[0074] Moreover, if bus reset starts, it will be interrupted temporarily and data transfer will be resumed under a new network after the end of the initialization processing accompanying bus reset.

[0075] (6) 1394 interfaces of each node perform automatically recognition of new connection composition, and assignment of the new node ID after starting of the sequence bus reset after bus reset starting. Hereafter, the fundamental sequence from the start of bus reset to quota processing of Node ID is explained using drawing 14 -16.

[0076] Drawing 14 is drawing explaining the state after bus reset starting in 1394 networks of drawing 2 .

[0077] drawing 14 -- setting -- Node A -- in three communication ports and Node E, one communication port and Node F possess [ one communication port and Node B / two communication ports and Node C / two communication ports and Node D ] one communication port The port number is attached by the communication port of each node in order to discriminate each port.

[0078] Hereafter, from the start of the bus reset in drawing 14 to assignment of Node ID is explained using the flow chart of drawing 15 .

[0079] In drawing 15 , each node A-F which constitutes 1394 networks is monitoring continuously whether bus reset occurred (Step S1501). If a bus reset signal is

outputted from the node which detected change of connection composition, each node will perform the following processings.

[0080] Each node declares a parentage after generating of bus reset between each communication port to provide (Step S1502).

[0081] Each node repeats processing of Step S1502, and performs it until the parentage between all nodes is determined (Step S1503).

[0082] After determining the parentage between all nodes, 1394 networks determine the node which arbitrates a network, i.e., the root, (Step S1504).

[0083] After determining the root, each 1394 interface of each node does the work which sets up the self node ID automatically (Step S1505).

[0084] Each node performs processing of Step S1505 based on a predetermined procedure until a setup of Node ID is made to all nodes (Step S1506).

[0085] After Node ID is finally set up to all nodes, each node performs an Isochronous transfer or an Asynchronous transfer (Step S1507).

[0086] While performing processing of Step S1507, 1394 interfaces of each node supervise generating of bus reset again. When bus reset occurs, processing after Step S1501 is performed again.

[0087] With the above procedure, whenever bus reset starts 1394 interfaces of each node, they can perform automatically recognition of new connection composition, and assignment of the new node ID.

[0088] (7) Explain in detail processing (namely, processing which recognizes the parentage between each node) of Step S1502 shown in drawing 15 using the determination, next drawing 16 of a parentage.

[0089] In drawing 16, each node A-F on 1394 networks checks the connection state (un-connecting [ connection or ]) of a communication port where he possesses, after generating of bus reset (Step S1601).

[0090] Each node counts the number of the communication ports (henceforth, connection port) connected with other nodes after the check of the connection state of a communication port (Step S1602).

[0091] When connection number of connections is one as a result of processing of Step S1602, the node recognizes it as he being a "leaf" (Step S1603). Here, leaves are one node and a node connected.

[0092] The node used as a leaf declares that it is "he is a child (Child)" to the node connected to the connection port (Step S1604). At this time, the connection port recognizes a leaf to be "a parent port (communication port connected with the parent node)."

[0093] Here, a declaration of a parentage is first made between the leaves and branches which are the end of a network, then is made one by one between branches. The parentage between each node is determined sequentially from the communication port which can make a declaration early. Moreover, it is recognized as the communication port which declared that it was a child between each node being a "parent port", and is recognized as the communication port which received

the declaration being "a child port (communication port connected with the child node)." For example, in drawing 14 , Nodes A, E, and F make a declaration of a parentage, after recognizing it as he being a leaf. Thereby, between node A-B, it is decided between child-parents and node F-D between child-parents and node E-D that they will be child-parents.

[0094] Moreover, when connection number of connections is two or more as a result of processing of Step S1602, the node recognizes itself to be a "branch" (Step S1605). Here, branches are two or more nodes and a node connected.

[0095] The node used as a branch receives declaration of a parentage from the node of each connection port (Step S1606). The connection port which received declaration is recognized as a "child port."

[0096] After recognizing one connection port to be a "child port", it detects whether a branch has two or more connection ports (namely, undefined port) where a parentage is not determined yet (Step S1607). Consequently, as for a branch, in a certain case, two or more undefined ports operate Step S1606 again.

[0097] When only one undefined port exists as a result of Step S1607, the undefined port recognizes a branch to be a "parent port", and it declares that it is "he is a child" to the node connected to the port (Steps S1608 and S1609).

[0098] Here, he cannot declare to other nodes that a branch is a child until the remaining undefined ports are set to one. For example, in drawing 14 , Nodes B, C, and D receive the declaration from a leaf or other branches while recognizing it as he being a branch. After the parentage between D-E and between D-F determines Node D, it is declaring the parentage to Node C. Moreover, the node C which received the declaration from Node D is declaring the parentage to Node B.

[0099] Moreover, when an undefined port does not exist as a result of processing of Step S1608, the branch recognizes that he is the root (Step S1610). (when all the connection ports that it is got blocked and a branch possesses turn into a parent port)

[0100] For example, in drawing 14 , the node B from which all the connection ports turned into a parent port is recognized by other nodes as the root which arbitrates the communication on 1394 networks. Here, although Node B was determined as the root, other nodes may become the root when early compared with the timing which Node C declares [ the timing which declares the parentage of Node B ]. Namely, depending on the timing to declare, every node may serve as the root. Therefore, even if it is the same network configuration, the same node does not necessarily become the root.

[0101] Thus, by declaring the parentage of all connection ports, each node can recognize the connection composition of 1394 networks as a layered structure (tree structure) (Step S1611). In addition, an above-mentioned parent node is a high order in a layered structure, and a child node serves as a low rank in a layered structure.

[0102] (8) Quota drawing 17 of Node ID is a flow chart which explains in detail processing (namely, processing which assigns the node ID of each node

automatically) of Step S1505 shown in drawing 15 . Here, although Node ID consists of a bus number and a node number, with this operation form, each node shall be connected on the same bus and the same bus number shall be assigned to each node.

[0103] In drawing 17 , the root gives setting permission of Node ID for Node ID to the communication port which has the minimum number among the child ports where the non-set up node is connected (Step S1701).

[0104] In addition, in drawing 17 , after the root sets up the node ID of all the nodes connected to the child port of the minimum number, it presupposes finishing [ a setup of the child port ], and performs same control to the child port which next serves as the minimum. After ID setup of all the nodes finally connected to the child port is completed, the own node ID of the root is set up. In addition, the node number contained in Node ID is fundamentally assigned with 0, 1, and 2 -- in order of a leaf and a branch. Therefore, the root will have the biggest node number.

[0105] In Step S1701, it judges whether the node which obtained setting permission has a child port containing the node from which Node ID is un-setting up among its child ports (Step S1702). In Step S1702, when the child port containing a non-set up node is detected, the node which obtained above-mentioned setting permission is controlled to give the setting permission to the child port to the node by which the direct file was carried out (Step S1703).

[0106] It judges whether the node which obtained above-mentioned setting permission has a child port containing the node which has not set up Node ID among its child ports after processing of Step S1703 (Step S1704). Here, after processing of Step S1704, when existence of the child port containing a non-set up node is detected, the node performs processing of Step S1703 again.

[0107] Moreover, in Step S1702 or S1704, when the child port containing a non-set up node is not detected, the node which obtained setting permission sets up its own node ID (Step S1705).

[0108] The node which set up its node ID broadcasts a self ID packet including the information about a self node number and the connection state of a communication port etc. (Step S1706). In addition, broadcasting is transmitting the communication packet of a certain node to many and unspecified nodes which constitute 1394 networks.

[0109] Here, by receiving this self ID packet, each node can recognize the node number assigned to each node, and can know the node number assigned to itself. For example, in drawing 14 , the node B which is the root gives permission of a node ID setup to the node A connected to the communication port of the minimum port number "\*\*1." Node A assigns with a self node number "No.0", and sets up the node ID which consists of a bus number and a node number to itself. Moreover, Node A broadcasts the self ID packet containing the node number.

[0110] The example of composition of a self ID packet is shown in drawing 18 . In drawing 18 , the field which stores the node number of the node to which 1801 sent

out the self ID packet, the field which stores the information about the transfer rate to which 1802 can respond, the field where 1803 shows a bus function manager's existence (existence of a bus manager's capacity etc.), and 1804 are the fields which store the information about consumption of power, and the property of supply.

[0111] Moreover, it is the information (connection) about the connection state of a communication port where 1805 becomes a port number "\*\*0" in drawing 18. 1806 is the field which stores the parentage of un-connecting and a communication port etc., and the information (connection) about the connection state of the communication port used as a port number "\*\*1." The field which stores the parentage of un-connecting and a communication port etc., and 1807 are the fields which store the information (parentage of connection, un-connecting, and a communication port etc.) about the connection state of the communication port used as a port number "\*\*2."

[0112] In addition, when the capacity it may be incapable to a bus manager is in the node which sends out a self ID packet, the KONTEN davit shown in the field 1803 is set to "1", and a KONTEN davit will be set to 0 if there is no capacity may be incapable.

[0113] It is based on various kinds of information included in an above-mentioned self ID packet with a bus manager here. Power supply management of a bus (information — whether supply of a power supply is required in whether supply of a power supply is possible — is managed for every node through a telecommunication cable), Management of speed information (the maximum transfer rate between each node is managed from the information about the transfer rate which can respond each node), It is the node which has the function to perform the optimization of a bus based on management (for the connection composition of a network to be managed from the parentage information on a communication port) of topology map information, and topology map information etc., and to provide other nodes with those information. By these functions, the node which serves as a bus manager can perform bus management of the whole 1394 network. It judges whether the node which performed a setup of Node ID has a parent node after processing of Step S1706 (Step S1707). When there is a parent node, the parent node performs processing not more than step S1702 again. And permission is given to the node to which Node ID is not set yet.

[0114] Moreover, when a parent node does not exist, it is judged that the node is the root itself. The root distinguishes whether Node ID was set up to the node connected to all child ports (Step S1708).

[0115] In Step S1708, when ID setting processing to all nodes is not completed, the root gives permission of ID setup to the child port which serves as the minimum number among the child ports containing the node (Step S1701). Then, processing not more than step S1702 is performed.

[0116] Moreover, when ID setting processing to all nodes is completed, the root performs a setup of its own node ID (Step S1709). The root broadcasts a self ID

packet after a setup of Node ID (Step S1710).

[0117] By the above processing, 1394 networks can assign Node ID automatically to each node.

[0118] Here, after setting processing of Node ID, when two or more nodes possess a bus manager's capacity, the largest node of a node number serves as a bus manager. That is, when it has the function in which the root with the node number which serves as the maximum in a network may become a bus manager, the root serves as a bus manager.

[0119] However, when the root is not equipped with the function, the node possessing a large node number becomes the degree of the root with a bus manager. Moreover, about which node became a bus manager, it can grasp by checking the KONTEN davit 1803 in the self ID packet which each node broadcasts.

[0120] (9) Arbitration drawing 19 is drawing explaining the Arbitration in 1394 networks of drawing 1. In 1394 networks, the Arbitration (mediation) of a bus royalty is surely performed in advance of data transfer. 1394 networks are logical bus type networks, and can transmit the same communication packet as all the nodes in a network by relaying the communication packet transmitted from each node to other nodes. Therefore, in order to prevent the collision of a communication packet, an Arbitration is surely needed. By this, only one node can transmit in a certain time.

[0121] Drawing 19 (a) is drawing explaining the case where Node B and Node F have emitted the demand of a bus royalty.

[0122] If an Arbitration starts, Nodes B and F will emit a demand of a bus royalty toward a parent node, respectively. The parent node (namely, the node C) which received the demand of Node B relays the bus royalty toward its parent node (namely, the node D). This demand is sent to the root (node D) which finally arbitrates.

[0123] The root which received the bus use demand determines whether a bus is made to use it for which node. This mediation work can perform only the node used as the root, and the licence of a bus is given to the node which won by mediation.

[0124] Drawing 19 (b) is drawing showing that the demand of Node F was permitted and the demand of Node B was refused. To the node in which the Arbitration was lost, the root sends DP (Dataprefix) packet and tells having been refused. The refused node stands by a bus use demand to a next Arbitration.

[0125] By controlling an Arbitration as mentioned above, 1394 networks can manage the royalty of a bus.

[0126] (10) Communication cycle Isochronous transfer mode and Asynchronous transfer mode can be made intermingled in time sharing within each communication cycle period. Here, the period of a communication cycle is usually 125microS.

[0127] Drawing 20 is drawing explaining the case where Isochronous transfer mode and Asynchronous transfer mode are made intermingled in 1 communication cycle.

[0128] Priority is given to Isochronous transfer mode over Asynchronous transfer mode, and it is performed. The reason is because the idle period (subaction gap)

required in order to start an Asynchronous transfer is set up so that it may become longer than a required idle period (Isochronous gap), in order to start an Isochronous transfer after a cycle-start packet. Thereby, priority is given to an Isochronous transfer over an Asynchronous transfer, and it is performed.

[0129] It sets to drawing 20 and a cycle-start packet (following, CSP) is transmitted from a predetermined node at the time of the start of each communication cycle. Each node can clock the same time as other nodes by performing time adjustment using this CSP.

[0130] (11) Isochronous transfer mode Isochronous transfer mode is the synchronous transmittal mode. An Isochronous mode transfer is an execute permission in a predetermined period after the start of a communication cycle. Moreover, Isochronous transfer mode is surely performed for every cycle, in order to maintain a real-time transfer.

[0131] Isochronous transfer mode is the transfer mode suitable for the data transfer which needs a transfer [ real time / voice data / dynamic-image data, ] / especially. Isochronous transfer mode is not communication but broadcasting communication of 1 to 1 like Asynchronous transfer mode. That is, the packet sent out from a certain node is uniformly transmitted to all the nodes on a network. In addition, ack (reply code for the confirmation of receipt) does not exist in an Isochronous transfer.

[0132] In drawing 20, Channel e (che), Channel s (chs), and Channel k (chk) show the period when each node performs an Isochronous transfer. In 1394 interfaces, in order to distinguish the Isochronous transfer from which plurality differs, a channel number different, respectively is given. Thereby, the Isochronous transfer between two or more nodes is attained. Here, this channel number does not specify a transmission place and has given the logical number to data.

[0133] Moreover, Isochronous gap shown in drawing 20 shows the idle state of a bus. After this idle state passes fixed time, the node which wishes an Isochronous transfer judges that a bus can be used, and performs an Arbitration.

[0134] Next, the format of the communication packet transmitted to drawing 21 based on Isochronous transfer mode is shown. Hereafter, the communication packet transmitted based on Isochronous transfer mode is called an Isochronous packet.

[0135] In drawing 21, an Isochronous packet consists of a header unit 2101, a header CRC 2102, data division 2103, and data CRC 2104.

[0136] There are the field 2105 which stores the data length of data division 2103, the field 2106 which stores the format information on an Isochronous packet, the field 2107 which stores the channel number of an Isochronous packet, the field 2108 which stores the transaction code (tcode) which discriminates the processing which must format and perform a packet, and the field 2109 which stores a synchronization code in a header unit 2101.

[0137] (12) Asynchronous transfer mode Asynchronous transfer mode is the asynchronous transmittal mode. An Asynchronous transfer is an execute permission after the end of an Isochronous transfer period until the following communication

cycle is started (namely, question until CSP of the following communication cycle is transmitted).

[0138] In drawing 20, the first sub action gap (subaction gap) shows the idle state of a bus. After this idle time becomes constant value, the node which wishes an Asynchronous transfer judges that a bus can be used, and performs an Arbitration.

[0139] The node which acquired the royalty of a bus by the Arbitration transmits the packet shown in drawing 22 to a predetermined node. The node which received this packet is ack about ack (return code for the confirmation of receipt), or a response packet. It returns after gap.

[0140] Drawing 22 is drawing showing the format of a communication packet based on Asynchronous transfer mode. Hereafter, the communication packet transmitted based on Asynchronous transfer mode is called an Asynchronous packet.

[0141] In drawing 22, an Asynchronous packet consists of a header unit 2201, a header CRC 2202, data division 2203, and data CRC 2204.

[0142] The node ID of the node which serves as the destination in a header unit 2201 in the field 2205 The label for a series of transactions being shown in Node ID and the field 2207 of a node used as the source in the field 2206, The code which shows the resending status to the field 2208, the transaction code which discriminates the processing which must format and perform a packet in the field 2209 (tcode), The transaction code extended to the data length of data division and the field 2213 by the memory address of the destination and the field 2212 in priority and the field 2211 at the field 2210 is stored.

[0143] Moreover, an Asynchronous transfer is communication of 1 to 1 to a partner node from a self-node. Although the packet transmitted from the source node spreads round each node in a network, things other than the address addressed to themselves are disregarded. Therefore, only the node used as the destination can read the packet. In addition, following CSP is transmitted, after not interrupting a transfer by force but completing the transfer, when it continues till the time which should transmit following CSP during an Asynchronous transfer. Thereby, when one communication cycle continues more than 125microS, the part and the next communication cycle period are shortened. thus, by carrying out, 1394 networks can hold the communication cycle of about 1 law

[0144] (13) In order to create a device map device map, as a means by which application knows the topology of 1394 networks, IEEE1394 specification top has the following meanses.

[0145] 1. Although it only carries out presuming from a self ID packet at the time of 2. bus reset which leads a bus manager's topology map register and the topology of the order of cable splicing by the parentage of each node becomes clear with the means of the above 1 and 2, the topology of physical physical relationship cannot be known. (There is also a problem that even the boat which is not mounted will appear) Although there is also a means to have the information for creating a device map as databases other than Configuration ROM again, it will depend on the protocol for



database access for a means to acquire various information in that case.

[0146] By the way, the device which observed IEEE1394 specification surely has the function to read the configuration ROM itself and Configuration ROM. Then, the application of each node can mount the so-called device map display function, without being dependent on specific protocols, such as database access and data transfer, by storing information, such as a position of a device, and a function, in the configuration ROM of each node, and giving the function to read them from application.

[0147] It is possible to be able to store a position physical as information peculiar to a node, a function, etc. in Configuration ROM, and to use it for realization of a device map display function.

[0148] In this case, as a means to know 1394 network topologies by physical relationship with physical application, the method of knowing the topology of 1394 networks becomes possible by reading the configuration ROM of each node from a user to the time of bus reset, or a demand. Furthermore, the functional information on each node etc. can be acquired simultaneously with the physical position of a node by reading Configuration ROM by describing not only the physical position of a node but various node information, such as a function, in Configuration ROM. In case application acquires the configuration ROM information on each node, API which acquires the arbitrary configuration ROM information on a specification node is used.

[0149] By using such a means, a physical topology map, the functional map of each node, etc. can create various device maps according to a use, and it also becomes possible of the application of the device on an IEEE1394 network to choose the device in which a user has a required function.

[0150] Next, the composition of the IEEE1394 interface in this operation gestalt is explained.

[0151] Drawing 23 is the basic configuration block view of a 1394 I/F block.

[0152] Among drawing, 2302 are the physical-layer control IC (PHYIC) which drives a 1394 serial bus directly, and realize the function of the physical layer in the above-mentioned (outline of the technology of IEEE1394). As main functions, they are supply (for active connection recognition) of the power supply for load termination, and an interface with a link layer IC at encoding/decoding of the formation of a bus initial, an Arbitration, and a transmit data sign, and the surveillance row of a cable energization state.

[0153] 2301 performs an interface with a device main part, is the link layer control IC (LINKIC) which controls the data transfer of PHYIC, and realizes the function of the link layer in the above-mentioned <outline of the technology of IEEE1394>. When received data are the transmission and reception FIFO which store the transmission/received data which minds PHYIC as main functions with which Book IC is equipped temporarily, and the packet-sized function of transmit data and PHYIC is this node address or isochronous transfer data, there are a judgment function of whether to be a thing for the assigned channels, a receiver function to perform error

checking of the data, and a function to perform an interface with a device main part.  
 [0154] 2304 are CPU which controls the 1394 interface sections including link layers IC and PHYIC among drawing, and 2805 is ROM in which the program for control of this interface section is stored.

[0155] 2306 is RAM, begins the data buffer which stores a transmitted and received data, and is used for the data area of the various registers mapped by the work area for control, and the 1394 addresses.

[0156] Moreover, 2303 is Configuration ROM and discernment peculiar to each device, communication conditions, etc. are stored. The data format of Book ROM is proportionate to the format set that <the outline of the technology of IEEE1394> explained by IEEE1212 and IEEE1394 specification.

[0157] Each node has equipped the configuration ROM of general format as shown in drawing 24 , and the information that the software unit information on each device is peculiar to a node to a unit directory is saved to the node DIPENDENTO information directory.

[0158] Moreover, the detailed information which accompanies the basic function instance and basic function of each devices, such as printer ability and scanner ability, can be held to the instance directory (instance\_directory) offset from root\_directory.

[0159] The composition of an instance directory is explained. The information on the device independent of protocols, such as a printer and a scanner, is \*\*\*\*\*ed by the instance directory. In the case of the device of a single function, the number of basic function information is one, and, in the case of the device which supports two or more set ability, two or more functions are enumerated. The pointer to the feature directory for holding the peculiar detailed information [ save the pointer information on the unit directory where the protocol software information that it corresponds about each function in which it was enumerated is saved, and also ] about each function is saved.

[0160] as <the outline of the technology of IEEE1394> explained, 28 bits of the last in the address selection of a 1394 serial bus are secured from other devices connected to a serial bus as a field which is accessible peculiar data of each device Drawing 25 is drawing showing this 28-bit address space.

[0161] In the 0000th street to the 0200th field (hexadecimal notation), the CSR core register group is arranged among drawing.

[0162] These registers exist as a fundamental function for the node management defined by CSR architecture, and are shown by drawing 11 .

[0163] The 0200th street to the 0400th field is defined as a field where the register about a serial bus is stored by CSR architecture. The register which the 0200-0230th registers are defined as <the outline of the technology of IEEE1394> having explained, and is used for the synchronization of data transfer, current supply, bus resource management, etc. is arranged among drawing 30 . This portion is the same object as drawing 12 .

[0164] Next, the printer of this operation form is explained. The appearance of the printer 109 which this operation form applied is shown in drawing 40 . 4001 in drawing is a powering-on button, 4002 is a printing directions button, and a control unit 113 consists of these. Moreover, 4003 shows the connector of IEEE1394 which is an external interface.

[0165] According to the composition of the general printer about the composition of the printing control section 111 in a printer 109 (refer to drawing 1 ), and the print station section 112, it does not explain for details here. In addition, with an operation form, the print station section 112 shall carry the \*\* head which breathes out an ink drop, and shall record a picture by making it move reciprocally (scan).

[0166] Next, processing of the printed information directions section 107 of the information processor 101 of this operation form is explained. Drawing 36 is drawing having shown the table which manages correspondence with an internal state and printed information (information which should be printed) in the information processor of this operation form. It outputs this to the printed information presentation section 106 while the printed information directions section 107 has on memory the table shown in drawing 36 , acquires the internal state of an information processor 101 from the information processing section 102 and acquires the whereabouts of the printed information which corresponds from the table shown in drawing 36 . Printed information is stored in above-mentioned CD-ROM or above-mentioned DVD-ROM as a file.

[0167] In addition, since an internal state is a video game machine with an operation form, an information processor 101 points out the advance state of the game. And it is data for generating the image by which the typical thing is then displayed as printed information.

[0168] Next, processing of the printed information presentation section 106 of the information processor 101 of this operation form is explained. If the whereabouts of printed information is acquired from the printed information directions section 107, the printed information presentation section 106 will search the printed information stored in above-mentioned CD-ROM or above-mentioned DVD-ROM as a file. If the file in which it searches and corresponding printed information is stored is found, the contents of a file will be mapped in an IEEE1394 address space, and read-out of them will be made possible from the exterior. Drawing 26 is drawing which explains mapping to the 1394 address spaces of printed information in the information processor of this operation form. The data size 2601 can be arranged among drawing at the specific address of an IEEE1394 address space, this address can be stored in the configuration ROM of an information processor 101 (un-illustrating), and the printer to connect can know the address now by reading it using a lead transaction. If there is a lead request of a lead transaction to the address by which the data size 2601 has been arranged, the printed information presentation section 106 will return the file size in which corresponding printed information was stored as a lead response. Similarly, the data window 2602 can also be arranged at the specific

address of an IEEE1394 address space, the address can be stored in the configuration ROM of an information processor 101 (un-illustrating), and the printer to connect can know the address now by reading it using a lead transaction. Change of printed information follows and it is made for the size of the data window 2602 arranged at the IEEE1394 address space to change so that it may be in agreement with the size of corresponding printed information.

[0169] Drawing 28 shows procedure when the information processor 101 of this operation form receives the read-out demand of printed information. If there is a lead request of a lead transaction to the address inside a data window, the request address and request size will be acquired at Step S2801, the offset from the start address of the data window of the request address will be calculated, and the read-out position of a file will be moved to the position of this offset from the head of a file. At Step S2802, from this read-out position, only the size of a lead request performs file read-out, and the data read at Step S2803 are returned as a lead response.

[0170] Next, processing of the printing control section 111 of the printer 109 of this operation form is explained. If the printing directions button 4002 of a control unit 113 is pushed, the printing control section 111 will start the processing which reads printed information from an information processor 101.

[0171] Drawing 27 is drawing explaining the processing from which the printer 109 of this operation form reads printed information from an information processor 101. First, the size of printed information is acquired by the lead transaction to the address by which the above-mentioned data size 2601 has been arranged at Step S2701. Subsequently, printed information is acquired by the lead transaction to the address of the data window 2602 interior at Step S2702. This address is the value which added the sum total of the data size read until now to the start address of the data window 2602. Step S2702 and Step S2703 are repeated until it compares the sum total of the data size read at Step S2703 until now with the size of the printed information acquired previously and reads all data.

[0172] When printed information is received, the printing control section 111 makes it print by driving the print station section 112 based on the received data (image data).

[0173] The composition of the operation form of <operation form of \*\* 2nd> \*\*\*\* 2 presupposes that it is the same as that of the 1st above-mentioned operation form.

[0174] Drawing 29 is drawing which explains mapping to the 1394 address spaces of printed information in the information processor 101 of this operation form. The total data size 2901 can be arranged among drawing at the specific address of an IEEE1394 address space, this address can be stored in the configuration ROM of an information processor 101 (un-illustrating), and the printer to connect can know the address now by reading it using a lead transaction. If there is a lead request of a lead transaction to the address by which the total data size 2901 has been arranged, the printed information presentation section 106 will return the file size in which

corresponding printed information was stored as a lead response. Similarly, the current data size 2902 can be arranged at the specific address of an IEEE1394 address space, this address can be stored in the configuration ROM of an information processor 101 (un-illustrating), and the printer to connect can know the address now by reading it using a lead transaction. If there is a lead request of a lead transaction to the address by which the current data size 2902 has been arranged, the printed information presentation section 106 will return the size of the effective data in the data window 2903 mentioned later as a lead response. The data window 2903 can also be arranged at the specific address of an IEEE1394 address space, the address can be stored in the configuration ROM of an information processor 101 (un-illustrating), and the printer to connect can know the address now by reading it using a lead transaction. It is made in agreement [ the size of the data window 2903 arranged at the IEEE1394 address space ] with the size of the greatest possible block size of 1 time of a lead transaction. Drawing 31 is drawing explaining processing when the information processor 101 of this operation form receives the read-out demand of printed information. If there is a lead request of a lead transaction to the address of a data window, the request address and request size will be acquired at Step S3101. At Step S3102, from the present read-out position, only the size of a lead request performs file read-out, and the data read at Step S3103 are returned as a lead response. And only the size of a lead request moves the read-out position of a file at Step S3104.

[0175] Next, processing of the printing control section 111 of the printer 109 of the operation form of \*\*\*\* 2 is explained. If the printing directions button 4002 of a control unit 113 is pushed, the printing control section 111 will start the processing which reads printed information from an information processor 101.

[0176] Drawing 30 is drawing explaining the processing from which the printer 109 of this operation form reads printed information from an information processor 101. First, the size of printed information is acquired by the lead transaction to the address by which the above-mentioned total data size 2901 has been arranged at Step S3001. Subsequently, the size of the effective data in a data window is acquired by the lead transaction to the address by which the above-mentioned current data size 2902 has been arranged at Step S3002. Printed information is acquired by the lead transaction to the address of the data window 2903 at Step S3003. Step S3004 is repeated from Step S3002 until it compares the sum total of the data size read at Step S3004 until now with the size of the printed information acquired previously and reads all data.

[0177] If printed information is received, the printing control section 111 will print by driving the print station section 112.

[0178] Composition of the operation form of <operation form of \*\* 3rd> \*\*\*\* 3 is also made to be the same as that of the 1st above-mentioned operation form.

[0179] The information processor 101 and printer 109 of an operation form of \*\*\*\* 3 communicate based on Direct Print Protocol (henceforth, DPP). An information

processor 101 operates as Image Source Device of DPP, and a printer 109 operates as Target Device. An information processor 101 reads the configuration ROM of the device connected by IEEE1394 bus, and searches the printer 109 which is Target Device of DPP.

[0180] Drawing 32 is drawing explaining the processing to which an information processor transmits printed information to a printer according to DPP in this operation form.

[0181] First, an information processor 101 transmits ConnectReq\*\* to a printer 109 according to a convention of DPP. Answering this, a printer 109 transmits ConnectRsp\*\* to an information processor 101 according to a convention of DPP. Connection specified to DPP by the above is materialized.

[0182] Subsequently, according to a convention of DPP, an information processor 101 transmits GetQueryItemCommand\*\* and asks the setting information on a printer. Answering this, according to a convention of DPP, a printer 109 transmits GetQueryItemResponse\*\* and returns setting information.

[0183] Next, according to a convention of DPP, an information processor 101 transmits SetQueryItemCommand\*\* and requires change of the setting information on a printer. Answering this, according to a convention of DPP, a printer 109 transmits SetQueryItemResponse\*\* and returns the change result of setting information.

[0184] Then, an information processor 101 performs data transfer of DPP by DataTransfer\*\*, and transmits printed information to a printer 109. A printer 109 prints according to the printed information which received.

[0185] After ending all printings, an information processor 101 transmits DisconnectReq\*\* to a printer 109 according to a convention of DPP. A printer's 109 reception of this cancels Connection specified to DPP.

[0186] Drawing 33 is drawing showing the sequence of processing in the case of starting data transfer from an information processor in the data transfer of DPP of this operation form.

[0187] From the input section 103, if an information processor 101 has the input of printing directions, it will transmit the first segment \*\* using SendCommand according to a convention of DPP. The printed information which is an application data in a convention of DPP is divided and transmitted to a segment according to a convention of DPP. Subsequently, an information processor repeats transmission of the middle segment (10) divided if needed, and, finally transmits the last segment (11). If the last segment is received, a printer 109 will transmit SendResponse (12) according to a convention of DPP.

[0188] Drawing 34 is drawing explaining the processing in the case of requiring the start of a transfer from a printer in the data transfer of DPP of this operation form.

[0189] If a printer 109 has the printing directions button 4002 of a control unit 113 pushed, it will transmit StartRequestCommand (13) according to a convention of DPP. Answering this, an information processor 101 transmits StartRequestResponse

(14). Hereafter, like the above-mentioned case, an information processor 101 transmits the repeat of transmission of the first segment (15), and transmission of a middle segment (16), and the last segment (17) using SendCommand, and a printer 109 transmits SendResponse (18).

[0190] Drawing 35 is drawing explaining the processing to which the information processor of the operation form of \*\*\*\* 3 outputs printed information.

[0191] First, the size of the file which stored the printed information which corresponds at Step S3501 is acquired, and the read-out position of a file is made into the head of a file. Subsequently, only the size according to segment division is read from a file at Step S3502. Only a part to have read moves the read-out position of a file. Next, according to a convention of DPP, it outputs at Step S3503, and Step S3504 is repeated from Step S3502 until it judges the last segment and finishes with Step S3504.

[0192] In addition, although the video game machine was made into the example and the operation form showed it as an information processor, it does not restrict to this. Moreover, although IEEE1394 was made into the example and explained as general-purpose serial interface, if the above-mentioned processing is realizable, it will not restrict to this, either.

[0193] In the information processor which treats only the application with which a use like a video game machine was limited comparatively according to this operation form as explained above The candidate for printing in the state and state of processing at the time of [ a certain ] processing is matched with 1 to 1.

Complicated operation of specifying the candidate for printing using an input unit like the operation pad of a game machine is lost. When the processing changed into the information as which an operator's burden is mitigated and a printer interprets the candidate for printing tends to be lost, the load to an information processor tends to be made small and it is going to continue a game during printing, it is effective in the ability to offer the information processor with which operation does not become so slow.

[0194]

[Effect of the Invention] As explained above, according to this invention, in the information processor which performs main processing, it becomes possible to realize printing processing in the state with few loads.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the block block diagram of the information processing system which an operation gestalt applies.

[Drawing 2] It is drawing having shown the composition of the network of an IEEE1394 serial bus.

[Drawing 3] It is drawing having shown the component of an IEEE1394 serial bus.

[Drawing 4] It is drawing showing the service which can offer a link layer.

[Drawing 5] It is drawing showing the service which can offer a transaction layer.

[Drawing 6] It is drawing explaining the address space in an IEEE1394 interface.

[Drawing 7] It is drawing showing the informational address and the informational function which are stored in a CSR core register.

[Drawing 8] It is drawing showing the informational address and the informational function which are stored in a serial bus register.

[Drawing 9] It is drawing showing Configuration ROM of the minimum form.

[Drawing 10] It is drawing showing Configuration ROM of general format.

[Drawing 11] It is drawing showing the informational address and the informational function which are stored in the serial bus equipment register of unit space.

[Drawing 12] It is drawing showing the cross section of the telecommunication cable based on IEEE1394 specification.

[Drawing 13] It is drawing for explaining a DS-Link coding method.

[Drawing 14] It is drawing explaining the state after bus reset starting in 1394 networks.

[Drawing 15] It is the flow chart which shows the procedure from the start of bus reset to assignment of Node ID.

[Drawing 16] It is the flow chart which shows the content of processing of Step S1502 in drawing 15 .

[Drawing 17] It is the flow chart which shows the content of processing of Step S1505 shown in drawing 15 .

[Drawing 18] It is drawing showing the example of composition of a self ID packet.

[Drawing 19] It is drawing for explaining the Arbitration in 1394 networks of drawing 1 .

[Drawing 20] It is drawing showing the example for which Isochronous transfer mode and Asynchronous transfer mode were intermingled in 1 communication cycle.

[Drawing 21] It is drawing showing the format of the communication packet



transmitted based on Isochronous transfer mode.

[Drawing 22] It is drawing showing the format of a communication packet based on Asynchronous transfer mode.

[Drawing 23] It is drawing having shown the composition of a 1394 interface block of 1394 nodes of an operation gestalt.

[Drawing 24] It is drawing having shown the composition of the ConfigurationRom storing data of an operation gestalt.

[Drawing 25] It is drawing having shown the address space of the IEEE1394 node of an operation gestalt.

[Drawing 26] It is drawing which explains mapping to the 1394 address spaces of printed information in the information processor of the 1st operation gestalt.

[Drawing 27] The printer of the 1st operation gestalt is the flow chart which shows the procedure which reads printed information from an information processor.

[Drawing 28] It is the flow chart which shows procedure when the information processor of the 1st operation gestalt receives the read-out demand of printed information.

[Drawing 29] It is drawing showing mapping to the 1394 address spaces of printed information in the information processor of the 2nd operation gestalt.

[Drawing 30] The printer of the 2nd operation gestalt is the flow chart which shows the procedure which reads printed information from an information processor.

[Drawing 31] It is the flow chart which shows procedure when the information processor of the 2nd operation gestalt receives the read-out demand of printed information.

[Drawing 32] It is drawing showing the sequence at the time of transmitting printed information to a printer according to DPP of the 3rd operation gestalt.

[Drawing 33] It is drawing showing the sequence in the case of starting data transfer from an information processor in the data transfer of DPP of the 3rd operation gestalt.

[Drawing 34] It is drawing showing the sequence of processing in the case of requiring the start of a transfer from a printer in the data transfer of DPP of the 3rd operation gestalt.

[Drawing 35] The information processor of the 3rd operation gestalt is the flow chart which shows the procedure which outputs printed information.

[Drawing 36] It is drawing showing the table which manages correspondence with an internal state and printed information in the information processor of an operation gestalt.

[Drawing 37] It is drawing showing the transverse-plane composition of the video game machine in an operation gestalt.

[Drawing 38] It is drawing showing the connection state of the operating set in an operation gestalt.

[Drawing 39] It is the block diagram showing the internal configuration of the video game machine in an operation gestalt.

[Drawing 40] It is drawing showing the appearance of the printer in an operation gestalt.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

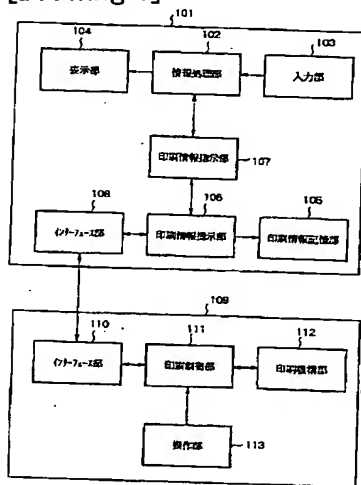
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

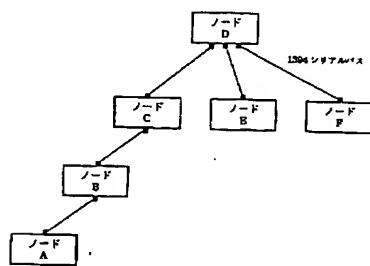
3.In the drawings, any words are not translated.

## DRAWINGS

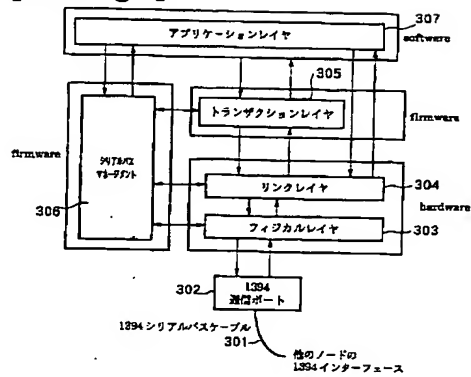
[Drawing 1]



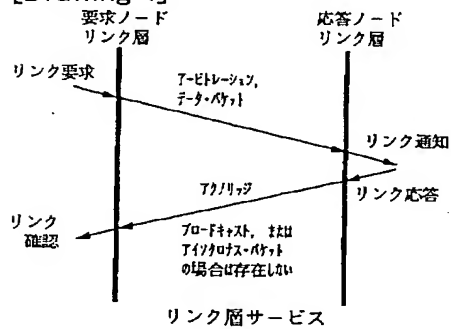
[Drawing 2]



[Drawing 3]



[Drawing 4]

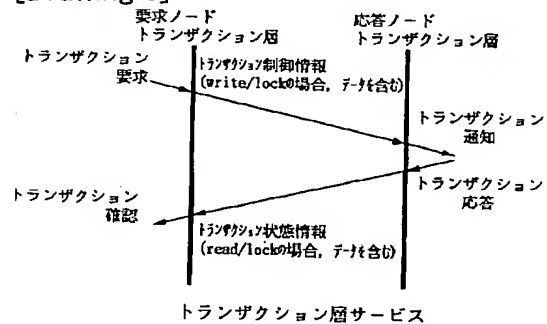


[Drawing 9]

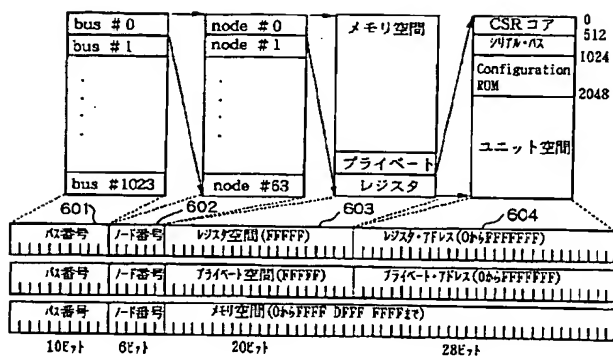
最小形式の Configuration ROM

8bits	24bits
01	ベンダID

[Drawing 5]



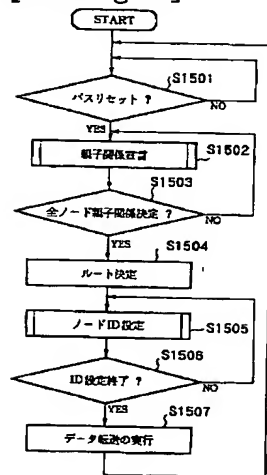
[Drawing 6]



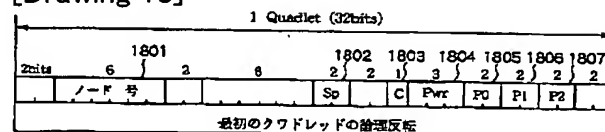
[Drawing 10]

Bus Info Block Length	ROM Length	CRC
Bus Info Block	1001	
Root Directory	1002	
Node dependent info directory	1003	
Unit directories	1004	
Root & unit leaves	1005	
Vendor dependent information	1006	

[Drawing 15]



[Drawing 18]



[Drawing 7]

CSR コア・レジスタ

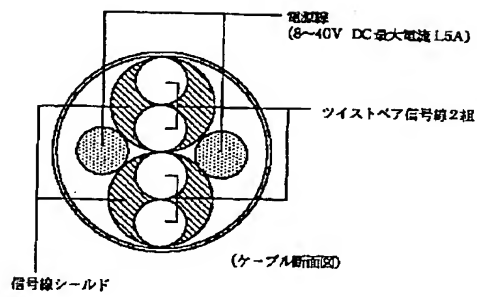
オフセット (16進数)	レジスタ名称	機能
000	STATE_CLEAR	状態と制御の情報
004	STATE_SET	STATE_CLEARの書き込み可否 を示す情報
008	NODE_IDS	バスID + ノードID
00C	RESET_START	この領域に対する書き込みで バスをリセット
010~014	INDIRECT_ADDRESS, INDIRECT_DATA	1Kより大きいROMをアクセス するためのレジスタ
018~01C	SPLIT_TIMEOUT	スプリット・トランザクション のタイムアウトを検出するタイマの値
020~02C	ARGUMENT, TEST_START, TEST_STATUS	診断用のレジスタ
030~04C	UNITS_BASE, UNITS_BOUND, MEMORY_BASE, MEMORY_BOUND	IEEE1394では実装しない
050~054	INTERRUPT_TARGET, INTERRUPT_MASK	割り込み通知レジスタ
058~07C	CLOCK_VALUE, CLOCK_TICK_PERIOD, CLOCK_STROBE_ARRIVED, CLOCK_INFO	IEEE1394では実装しない
080~0FC	MESSAGE_REQUEST, MESSAGE_RESPONSE	メッセージ通知レジスタ
100~17C		予約
180~1FC	ERROR_LOG_BUFFER	IEEE1394用に予約

[Drawing 11]

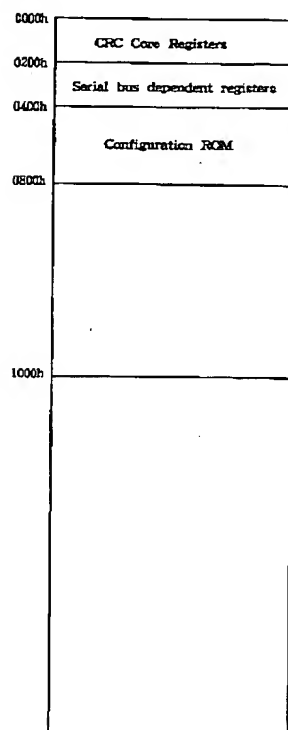
シリアル・バス装置レジスタ

オフセット (16進数)	レジスタ名称	機能
800 ↓ FFC		予約
1000 ↓ 13FC	TOPOLOGY_MAP	シリアル・バスの構成情報
1400 ↓ 1BFC		予約
2000 ↓ 2BFC	SPEED_MAP	デバイス間の伝送速度の情報
3000 ↓ FFFC		予約

[Drawing 12]



[Drawing 25]

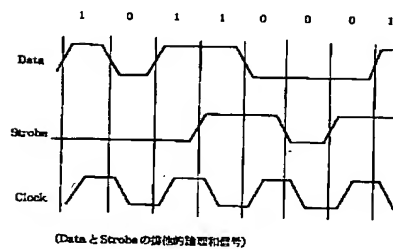


[Drawing 8]

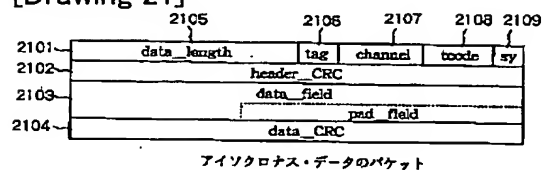
シリアル・バス・レジスタ

オフセット (16進数)	レジスタ名称	機能
200	CYCLE_TIME	アイソクロナス転送のためのカウンタ
204	BUS_TIME	時間を同期するためのレジスタ
208	POWER_FAIL_IMMINENT	電源供給に関するレジスタ
20C	POWER_SOURCE	
210	BUSY_TIMEOUT	トランザクション間の再試行を制御
214 }		予約
218		
21C	BUS_MANAGER_ID	バス・マネージャのノード転送
220	BANDWIDTH_AVAILABLE	アイソクロナス転送の帯域を管理
224 }	CHANNELS_AVAILABLE	アイソクロナス転送のチャネル番号を管理
228		
22C	MAINT_CONTROL	診断用レジスタ
230	MAINT_UTILITY	
234 }		予約
3FC		

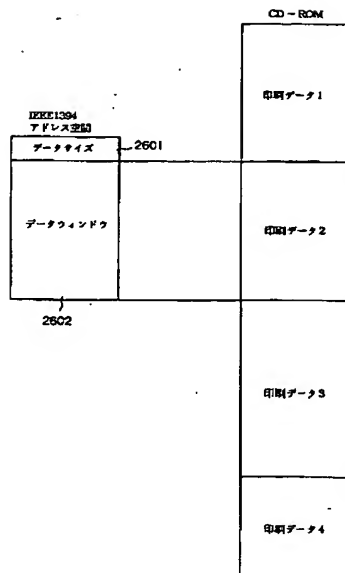
[Drawing 13]



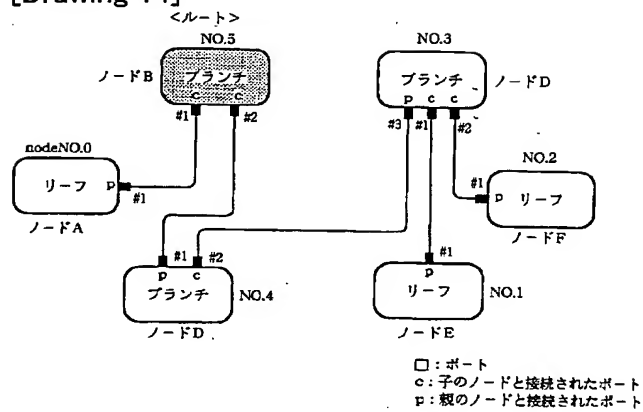
[Drawing 21]



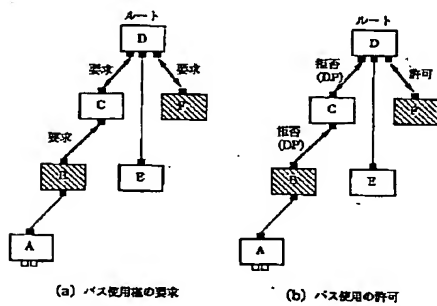
[Drawing 26]



[Drawing 14]

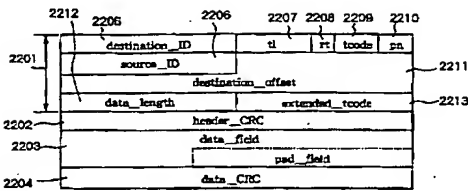


[Drawing 19]

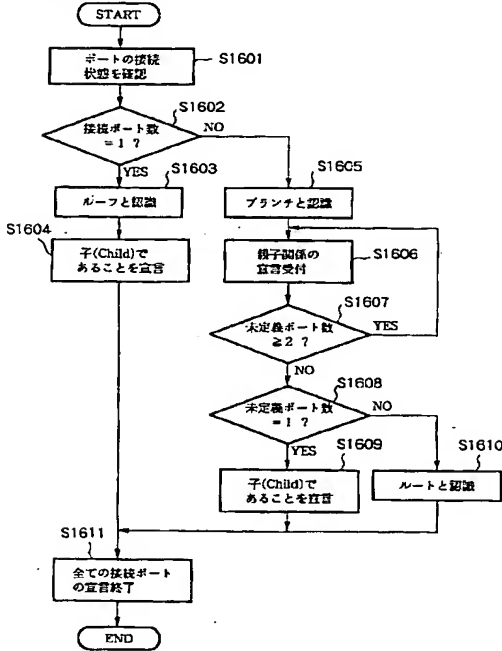




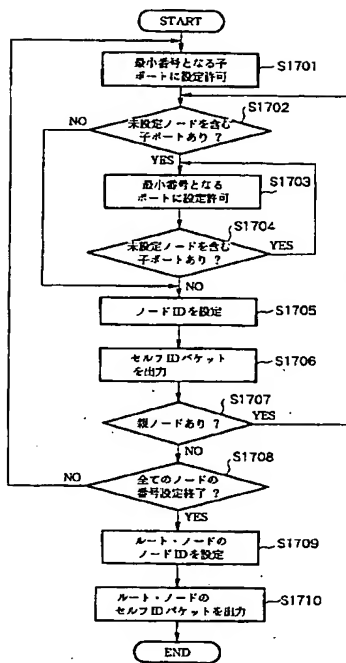
[Drawing 22]



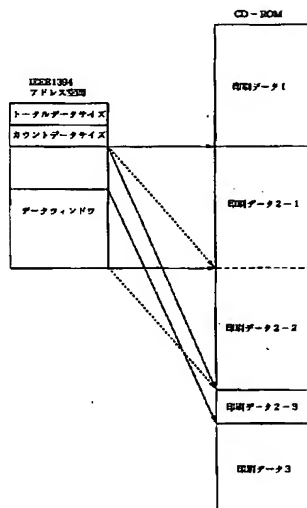
[Drawing 16]



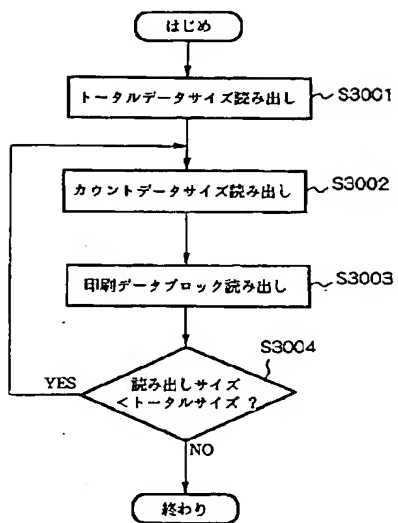
[Drawing 17]



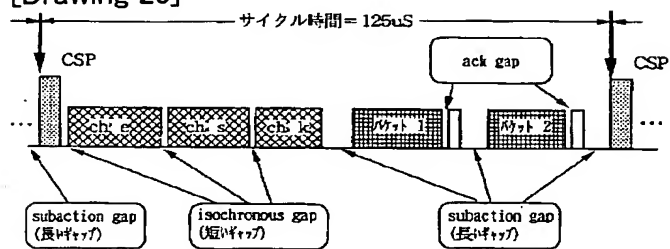
[Drawing 29]



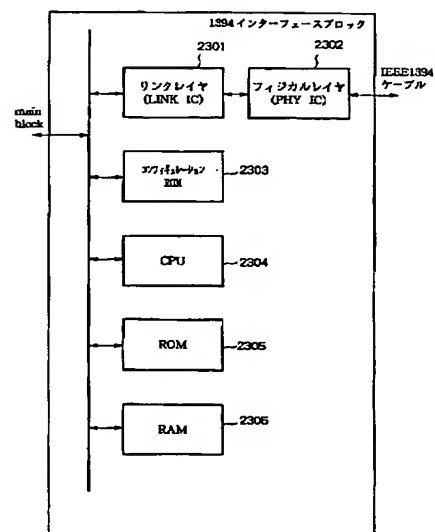
[Drawing 30]



[Drawing 20]



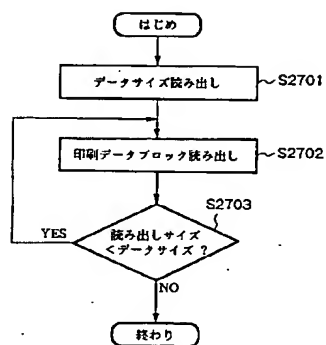
[Drawing 23]



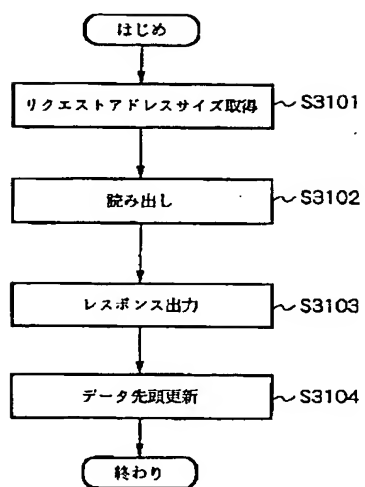
[Drawing 24]

Bus Info Block Length	ROM Length	CRC
Bus Info Block		
Root Directory		
Node dependent info directory		
Unit directories		
Instance directory length	CRC_16	
Key	keyword leaf offset	
Key	Unit directory offset	
Key	Feature directory offset	
keyword leaf length	CRC_16	
Keywords		
Unit directories		
Feature director length	CRC_16	
Vendor dependent information		

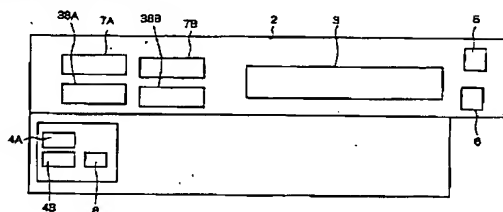
[Drawing 27]



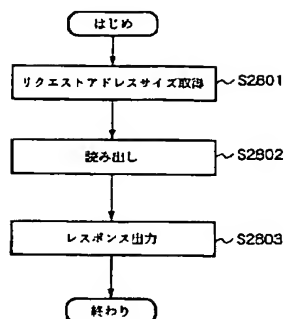
[Drawing 31]



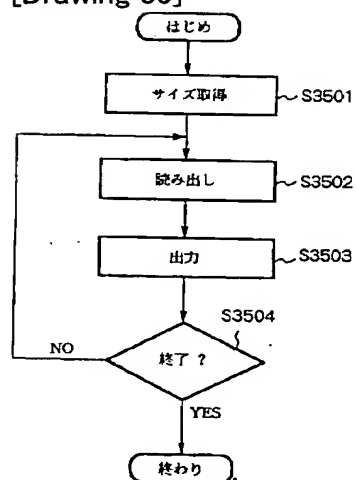
[Drawing 37]



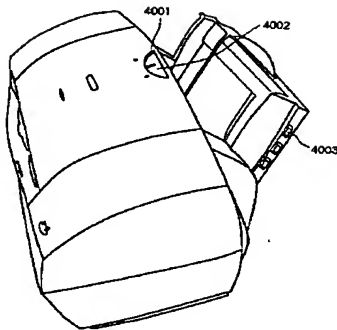
[Drawing 28]



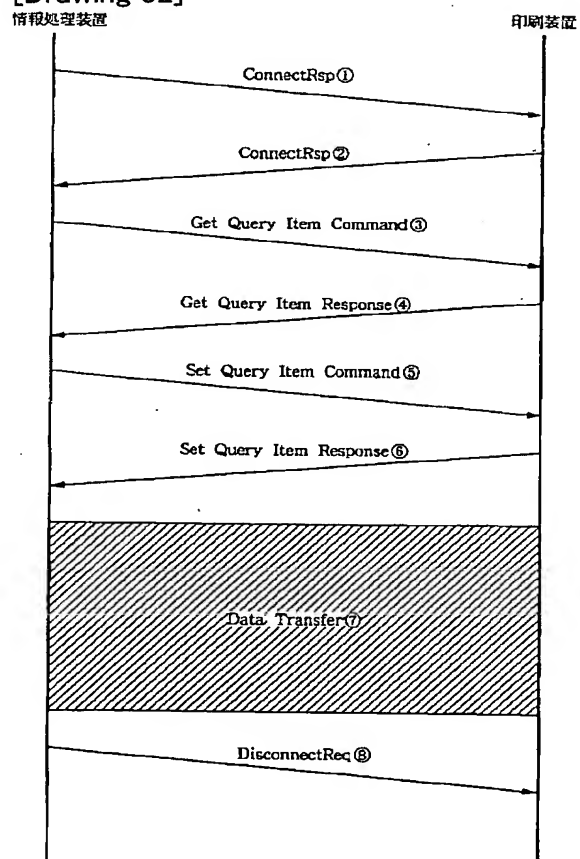
[Drawing 35]



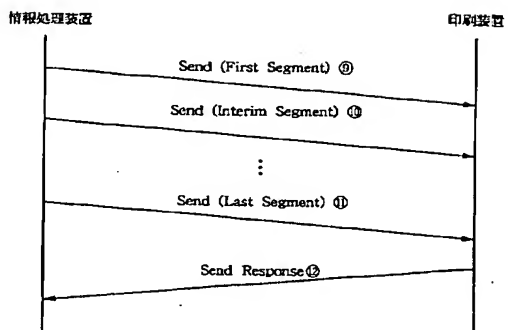
[Drawing 40]



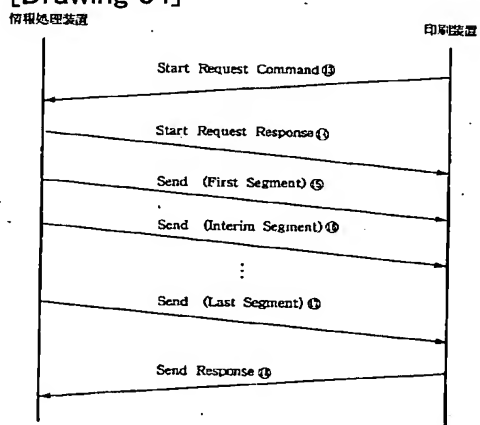
[Drawing 32]



[Drawing 33]



[Drawing 34]

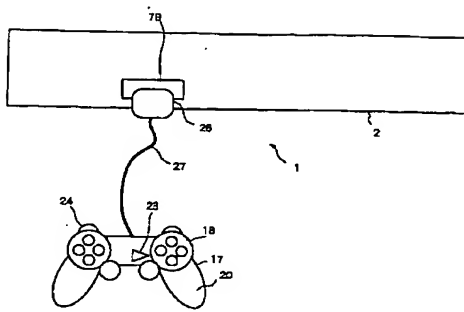


[Drawing 36]

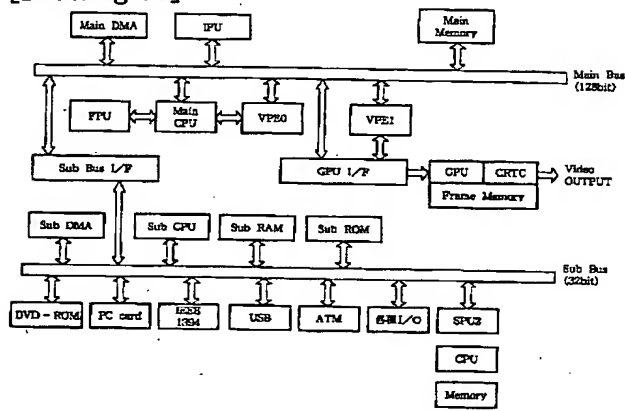
内部状態 1	印刷状態 1
⋮	⋮
内部状態 m	印刷状態 n
⋮	⋮

[Drawing 38]





[Drawing 39]



[Translation done.]